



**João de Melo Brito Monteiro Gavinhos**

Licenciado em Ciências da Engenharia  
Eletrotécnica e de Computadores

## **Estudo de um SAR ADC com DAC C-2C**

Dissertação para obtenção do Grau de Mestre em  
Engenharia Eletrotécnica e de Computadores

Orientador: Professor Doutor Nuno Filipe Silva Veríssimo Paulino,  
Universidade Nova de Lisboa

Júri

Presidente: Professor Doutor Luís Filipe Lourenço Bernardo,  
FCT-UNL

Arguente: Professor Doutor João Pedro Abreu de Oliveira,  
FCT-UNL

Vogal: Professor Doutor Nuno Filipe Silva Veríssimo  
Paulino, FCT-UNL

**Novembro, 2020**



FACULDADE DE  
CIÊNCIAS E TECNOLOGIA  
UNIVERSIDADE NOVA DE LISBOA



## **Estudo de um SAR ADC com DAC C-2C**

Copyright © João de Melo Brito Monteiro Gavinhos, Faculdade de Ciências e Tecnologia, Universidade Nova de Lisboa.

A Faculdade de Ciências e Tecnologia e a Universidade Nova de Lisboa têm o direito, perpétuo e sem limites geográficos, de arquivar e publicar esta dissertação através de exemplares impressos reproduzidos em papel ou de forma digital, ou por qualquer outro meio conhecido ou que venha a ser inventado, e de a divulgar através de repositórios científicos e de admitir a sua cópia e distribuição com objetivos educacionais ou de investigação, não comerciais, desde que seja dado crédito ao autor e editor.

*"If you are afraid to fail, you are  
probably going to fail."*

*Kobe Bryant*

# Agradecimentos

Primeiramente, quero apresentar um forte agradecimento ao Professor Nuno Paulino, pelo grande apoio e enorme paciência e dedicação que me concedeu na orientação desta dissertação. Alguns problemas surgiram, contudo, com a motivação do Professor foram vencidos. Não posso de deixar de agradecer à Faculdade de Ciências e de Tecnologias da Universidade Nova de Lisboa e expressar a minha gratidão a todos os professores que fizeram parte do meu percurso académico, da minha formação e do meu crescimento intelectual e humano, nomeadamente a todos os que fazem parte do Departamento de Engenharia Eletrotécnica.

O meu muito obrigado a todos os meus colegas de curso pela a camaradagem e incentivo especialmente aos meus amigos Diogo Reis e João Vale por todas as discussões saudáveis que tivemos, pelas palavras de encorajamento que me deram e a partilha de momentos difíceis que em conjunto conseguimos superar.

À minha família e aos meus amigos só tenho de agradecer por toda a ajuda, carinho e estímulo que me deram ao longo da minha fase académica. Reconheço a paciência e tolerância que tiveram para comigo nos momentos mais complicados.

Por fim, um enorme obrigado por tudo Avô!

# Resumo

---

O ADC de Registo de Aproximações Sucessivas (SAR) apresenta diversas vantagens face a outros conversores, nomeadamente, uma área reduzida, um baixo consumo de energia e pode ser utilizado para resoluções mais altas com uma velocidade de conversão moderada, pelo que é diversas vezes utilizado para redes de sensores sem fios e produtos biomédicos. Este tipo de Conversor Analógico-Digital beneficia, assim, do avanço tecnológico.

O principal objetivo desta dissertação é o estudo de um SAR ADC com Conversor Digital-Analógico C-2C. Este tipo de arquitetura é pouco utilizada para conversores do tipo SAR daí que o DAC usualmente utilizado entre os autores é o DAC Pesado Binariamente. Contudo, o DAC C-2C apesar de ser pouco conhecido e utilizado apresenta as suas vantagens em relação ao DAC Pesado Binariamente.

Inicialmente, o DAC C-2C é alvo de um estudo teórico no domínio da tensão, tendo como finalidade o desenvolvimento de um modelo de alto nível a partir do simulador MATLAB, o que permitiu resultados ao nível do processo de conversão do ADC para diferentes cenários e o estudo do ponto de vista da linearidade e de eficiência energética.

Por fim, e perante diferentes tópicos de estudo é elaborada uma análise comparativa entre os dois DACs mencionados anteriormente. Este estudo permitiu verificar que o DAC C-2C apresenta vantagens em relação ao DAC Pesado Binariamente, nomeadamente ao nível da área e eficiência energética.

**Palavras-chave:** Registo de Aproximações Sucessivas, Conversor Analógico-Digital, Conversor Digital-Analógico, C-2C, Pesado Binariamente.

---

# Abstract

---

The ADC of Successive Approximation Register (SAR) has several advantages over other converters namely, a reduced area, a low power consumption, and can be used for higher resolutions with a moderate conversion speed so it is often used for wireless sensor networks and biomedical products. This type of Analog-to-Digital Converter thus benefits from technological advancement.

The main objective of this dissertation is the study of a SAR ADC with C-2C Digital - to - Analog Converter. This type of architecture is seldom used for converters of the SAR type, hence the DAC usually used among authors is the Binary Weighted DAC. However, C-2C DAC despite being little known and used has its advantages over Binary Weighted DAC.

Initially, the DAC C-2C is the target of a theoretical study in the voltage domain, with the purpose of developing a high level model from the MATLAB simulator, which allowed results at the level of the ADC conversion process for different scenarios and the study from the point of view of linearity and energy efficiency.

Finally, and in view of different study topics, a comparative analysis is made between the two DAGs mentioned above. This study allowed us to verify that the DAC C-2C has advantages over the Binary Weighted DAC, namely in terms of area and energy efficiency.

**Keywords:** Successive Approximation Register, Analog-to-Digital Converter, Digital-to-Analog-Converter, C-2C, Binary Weighted.

---



# Conteúdo

<b>1</b>	<b>INTRODUÇÃO</b>	<b>1</b>
1.1	OBJETIVO E MOTIVAÇÃO	2
1.2	ESTRUTURA DA DISSERTAÇÃO	3
<b>2</b>	<b>ESTADO DA ARTE</b>	<b>5</b>
2.1	ADC E DAC	5
2.2	DEFINIÇÃO DA TENSÃO DO BIT MENOS SIGNIFICATIVO ( $V_{LSB}$ )	5
2.3	ERRO DE QUANTIZAÇÃO	6
2.4	ERRO DE OFFSET E ERRO DE FIM DE ESCALA	6
2.5	MÉTRICAS DA PERFORMANCE DE UM ADC	6
2.5.1	<i>Estática</i>	6
2.5.2	<i>Dinâmica</i>	7
2.6	TOPOLOGIAS	8
2.6.1	<i>Flash ADC</i>	8
2.6.2	<i>Pipeline ADC</i>	9
2.6.3	<i>Sigma Delta ADC</i>	11
2.6.4	<i>ADC de Aproximações Sucessivas (SAR)</i>	11
2.6.5	<i>Comparação entre as Topologias estudadas</i>	13
2.7	SAR ADC COM REDISTRIBUIÇÃO DE CARGA (CR)	14
2.8	DAC CAPACITIVO PESADO BINARIAMENTE	15
2.8.1	<i>Esquema Convencional</i>	16
2.8.2	<i>Esquema Monotónico</i>	17
2.8.3	<i>Esquema <math>V_{CM}</math>-Based</i>	19
2.8.4	<i>Comparação dos Esquemas estudados</i>	28
2.9	DAC C-2C	29
2.9.1	<i>Pseudo C-2C</i>	31

2.9.2	FSV C-2C.....	32
2.10	ARQUITETURAS SAR RELEVANTES [23].....	32
2.10.1	“A 1.9 $\mu$ W 4.4ff/conversion-step 10b 1MS/S charge-redistribution ADC”.....	32
2.10.2	“A 7-to-10b 0-to-4MS/s flexible SAR ADC with 6.5-to-16ff/conversion- step”.....	33
2.10.3	“A 0.85ff/conversion-step 10b 200kS/s subranging SAR ADC in 40nm CMOS”.....	34
2.10.4	“A 0.85ff/conversion-step 10b 200kS/s subranging SAR ADC in 40nm CMOS”.....	35
2.10.5	“A 3.2ff/c.-s. 0.35V 10b 100KS/s SAR ADC in 90nm CMOS”.....	37
2.10.6	“A 120nW 8b sub-ranging SAR ADC with signal-dependent charge recycling for biomedical applications”.....	38
2.10.7	“A 0.2 - 8 MS/s 10b flexible SAR ADC achieving 0.35 - 2.5 ff/conv-step and using self-quenched dynamic bias comparator”.....	40
2.10.8	“A 0.44ff/conversion-step 11b 600KS/s SAR ADC with semi-resting DAC”.....	40
2.10.9	“A 1V 11ff/Conversion-step 10bit 10MS/s asynchronous SAR ADC in 0.18 $\mu$ m CMOS”.....	41
2.10.10	Arquiteturas Híbridas.....	42
2.10.11	Análise Comparativa e Sumário.....	43
<b>3</b>	<b>ANÁLISE DAC C-2C.....</b>	<b>45</b>
3.1	DAC C-2C.....	45
3.2	DAC C-2C SINGLE-ENDED.....	46
3.2.1	Análise Teórica.....	46
3.3	ADC COM DAC C-2C DIFERENCIAL.....	50
3.3.1	ADC com DAC C-2C ideal.....	50
3.3.2	Efeito das Capacidades Parasitas no ADC com DAC C-2C.....	59
3.3.3	DAC C-2C com Condensadores com mismatch error.....	61
3.4	COMPARAÇÃO DOS RESULTADOS OBTIDOS EM MATLAB COM OS RESULTADOS OBTIDOS EM CADENCE.....	62
<b>4</b>	<b>ANÁLISE DE UM ADC SAR UTILIZANDO UM DAC C-2C E UTILIZANDO UM DAC P. BINARIAMENTE.....</b>	<b>65</b>
4.1	INTRODUÇÃO À ANÁLISE COMPARATIVA.....	65
4.2	CAPACIDADE TOTAL NO DAC.....	66
4.3	EFICIÊNCIA ENERGÉTICA.....	68
4.4	LINEARIDADE DO ADC.....	72
4.5	APRECIACÕES FINAIS DOS RESULTADOS OBTIDOS.....	76

<b>5 CONCLUSÃO.....</b>	<b>78</b>
5.1 TRABALHO FUTURO .....	79
<b>ANEXOS.....</b>	<b>83</b>



## Lista de Figuras

FIGURA 1.1: ARQUITETURA SAR ADC.....	2
FIGURA 2.1: ARQUITETURA FLASH DE 2 BITS.....	9
FIGURA 2.2: ARQUITETURA PIPELINE ADC.....	10
FIGURA 2.3: ARQUITETURA SIGMA DELTA.....	11
FIGURA 2.4: ARQUITETURA SAR CONVENCIONAL.....	12
FIGURA 2.5: DIAGRAMA DO ALGORITMO DE APROXIMAÇÕES SUCESSIVAS.....	13
FIGURA 2.6: ARQUITETURA DAC PESADO BINARIAMENTE.....	15
FIGURA 2.7: ARQUITETURA SAR ADC DE 3 BITS EM ESQUEMA CONVENCIONAL.....	16
FIGURA 2.8: PROCEDIMENTO E ENERGIA CONSUMIDA PARA UM SAR ADC CONVENCIONAL DE 3 BITS. ADAPTADO DE [5].....	17
FIGURA 2.9: ARQUITETURA SAR ADC DE 3 BITS EM ESQUEMA MONOTONICO.....	18
FIGURA 2.10: PROCEDIMENTO E ENERGIA CONSUMIDA PARA UM SAR ADC MONOTÓNICO DE 3 BITS. ADAPTADO DE [5].....	19
FIGURA 2.11: ARQUITETURA SAR ADC DE 3 BITS EM ESQUEMA MCS. ADAPTADO DE [18].....	20
FIGURA 2.12: PROCEDIMENTO E ENERGIA CONSUMIDA PARA UM SAR ADC MCS DE 3 BITS.....	21
FIGURA 2.13: DAC COM REDE DE CONDENSADORES C-2C.....	30
FIGURA 2.14: DAC C-2C COM CAPACIDADES PARASITAS.....	31
FIGURA 2.15: PSEUDO DAC C-2C.....	32
FIGURA 2.16: ARQUITETURA DESENVOLVIDA EM [6].....	34
FIGURA 2.17: ARQUITETURA DO ADC E ALGORITMO REALIZADOS EM [7].....	37
FIGURA 2.18: SAR COM LRSS E AWCA PROPOSTO EM [25].....	38
FIGURA 2.19: SAR ADC <i>SUB-RAGING</i> PROPOSTO EM [15].....	39
FIGURA 2.20: SAR ADC PROPOSTO EM [16].....	41
FIGURA 2.21: SAR ADC COM MULTI-COMPARADORES DESENVOLVIDO EM [26].....	42
FIGURA 3.1: DAC C-2C <i>SINGLE-ENDED</i> .....	46

FIGURA 3.2: A TENSÃO DE SAÍDA DO DAC C-2C <i>SINGLE-ENDED</i> EM FUNÇÃO DO CÓDIGO BINÁRIO .....	49
FIGURA 3.3: PROCESSO DE CONVERSÃO ADC COM DAC C-2C <i>SINGLE-ENDED</i> PARA DIFERENTES VALORES DE TENSÃO DE ENTRADA .....	49
FIGURA 3.4: PARTE POSITIVA DO DAC C-2C DIFERENCIAL .....	50
FIGURA 3.5: TENSÃO DE SAÍDA DO DAC DIFERENCIAL EM FUNÇÃO DO CÓDIGO .....	52
FIGURA 3.6: TENSÃO DO NÓ $V_{x2}$ E $V_{x3}$ DO DAC DIFERENCIAL EM FUNÇÃO DO CÓDIGO .....	52
FIGURA 3.7: PROCESSO DE CONVERSÃO DO ADC COM DAC C-2C IDEAL E DIFERENCIAL.....	53
FIGURA 3.8: DNL/INL PARA UM DAC C-2C IDEAL E DIFERENCIAL .....	53
FIGURA 3.9: ENERGIA TOTAL DESPENDIDA NO PROCESSO DE CONVERSÃO NO ADC COM DAC C-2C IDEAL E DIFERENCIAL.....	54
FIGURA 3.10: PROCESSO DE CONVERSÃO DA TENSÃO DE SAÍDA DO DAC PERANTE DIFERENTES VALORES DE TENSÃO DE ENTRADA .....	58
FIGURA 3.11: ENERGIA DESPENDIDA EM CADA CICLO DE CONVERSÃO PARA OS DIFERENTES CENÁRIOS EM ANÁLISE .....	58
FIGURA 3.12: PARTE POSITIVA DO DAC C-2C DIFERENCIAL COM CAPACIDADES PARASITAS .....	59
FIGURA 3.13: EFEITO DAS CAPACIDADES PARASITAS NO CÓDIGO FINAL EM FUNÇÃO DE $V_{IN}$ EM COMPARAÇÃO À FUNÇÃO IDEAL .....	60
FIGURA 3.14: DNL/INL COM CAP. PARASITAS DE 0,5% .....	60
FIGURA 3.15: DNL/INL COM CAP. PARASITAS DE 1%.....	60
FIGURA 3.16: DNL/INL COM CAP. PARASITAS DE 5%.....	60
FIGURA 3.17: DNL/INL COM CAP. PARASITAS DE 10% .....	60
FIGURA 3.18: CONVERSÃO DO SINAL DO DAC C-2C COM CAPACIDADES PARASITAS DE 1% .....	64
FIGURA 3.19: SEQUÊNCIA DOS SINAIS PARA O BIT EM ANÁLISE .....	64
FIGURA 4.1: CAPACIDADE TOTAL DO DAC POR RESOLUÇÃO .....	67
FIGURA 4.2: ENERGIA DO DAC P. BINARIAMENTE COM DIFERENTES ESTILOS DE COMUTAÇÃO ..	68
FIGURA 4.3: ENERGIA TOTAL DESPENDIDA NO ADC COM DAC C-2C.....	69
FIGURA 4.4: COMPARAÇÃO DAS ENERGIAS ENTRE O DAC C-2C E O P. BINARIAMENTE.....	70
FIGURA 4.5: ENERGIA TOTAL DESPENDIDA POR RESOLUÇÃO NOS DOIS CONVERSORES .....	71
FIGURA 4.6: DNL/INL C-2C 0,1% 10 BITS .....	73
FIGURA 4.7: DNL/INL C-2C 0,1% 12 BITS .....	73
FIGURA 4.8: DNL/INL C-2C 0,5% 10 BITS .....	73
FIGURA 4.9: DNL/INL C-2C 0,5% 12 BITS .....	73
FIGURA 4.10: DNL/INL P.B 10 BITS.....	73
FIGURA 4.11: DNL/INL P.B 12 BITS.....	73
FIGURA 4.12: DNL/INL P.B. 0,5% 10 BITS .....	73

FIGURA 4.13: DNL/INL P.B. 0,5% 12 BITS .....	73
FIGURA 4.14: MONTE CARLO DNL 0,5% .....	74
FIGURA 4.15: MONTE CARLO INL 0,5% .....	74
FIGURA 4.16: MONTE CARLO DNL 0,1% .....	74
FIGURA 4.17: MONTE CARLO INL 0,1% .....	74
FIGURA 4.18: LINEARIDADE MÍNIMA INL POR RESOLUÇÃO .....	75
FIGURA 4.19: LINEARIDADE MÍNIMA DNL POR RESOLUÇÃO .....	76
FIGURA 5.1: CONVERSÃO DO SINAL COM DAC C-2C IDEAL.....	83
FIGURA 5.2: CONVERSÃO DO SINAL COM DAC C-2C IDEAL E CAPACIDADES PARASITAS DE 10% .....	83
FIGURA 5.3: DAC C-2C IMPLEMENTADO NO <i>CADENCE</i> .....	84
FIGURA 5.4: DAC C-2C COM CAPACIDADES PARASITA IMPLEMENTADO NO <i>CADENCE</i> .....	84
FIGURA 5.5: CIRCUITO DE INTERRUPTORES .....	85
FIGURA 5.6: ESTRUTURA DO SAR ADC COM DAC C-2C IMPLEMENTADO NO <i>CADENCE</i> .....	85
FIGURA 5.7: MÁQUINA DE ESTADO COM A LÓGICA SAR IMPLEMENTADA.....	86

# Lista de Tabelas

TABELA 2.1: COMPARAÇÃO ENTRE AS DIFERENTES TOPOLOGIAS.....	14
TABELA 2.2: COMPARAÇÃO ENTRE OS TRÊS ESQUEMAS ESTUDADOS .....	29
TABELA 2.3: MODO DE OPERAÇÃO DO SAR DESENVOLVIDO EM [6].....	34
TABELA 2.4: RESULTADOS DAS ARQUITETURAS SAR RELEVANTES.....	44
TABELA 3.1: ANÁLISE COMPARATIVA ENTRE OS RESULTADOS OBTIDOS EM MATLAB E <i>CADENCE</i> .....	63
TABELA 4.1: DAC COM MELHORES RESULTADOS PARA DIFERENTES RESOLUÇÕES .....	77

# Acrónimos

<b>ADC</b>	<i>Analog-to-Digital Converter</i>
<b>CAS</b>	<i>Charge Average Switching</i>
<b>CR</b>	<i>Charge Redistribution</i>
<b>DAC</b>	<i>Digital-to-Analog Converter</i>
<b>DNL</b>	<i>Differential Non-Linearity</i>
<b>ENOB</b>	<i>Effective Number Of Bits</i>
<b>FOM</b>	<i>Figure Of Merit</i>
<b>FSV</b>	<i>Floating Voltage Shield</i>
<b>INL</b>	<i>Integral Non-Linearity</i>
<b>LSB</b>	<i>Least Significant Bit</i>
<b>MCS</b>	<i>Merged Capacitor Switching</i>
<b>MSB</b>	<i>Most Significant Bit</i>
<b>SAR</b>	<i>Successive Approximation Register</i>
<b>SFDR</b>	<i>Spurious Free Dynamic Range</i>
<b>SNDR</b>	<i>Signal-to-Noise-and-Distortion Ratio</i>
<b>SNR</b>	<i>Signal-to-Noise Ratio</i>
<b>THD</b>	<i>Total Harmonic Distortion</i>





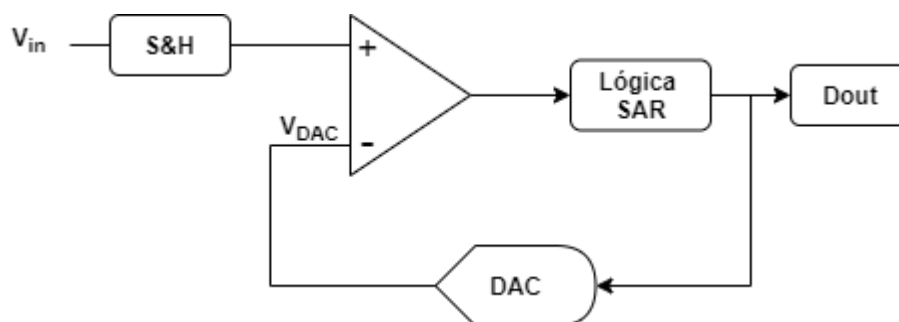
# 1 Introdução

O conversor analógico-digital (ADC) é um componente crítico para sistemas biomédicos, de comunicação e de sistemas de processamento de sinal que requerem pouco consumo de energia e uma elevada eficiência. Estes conversores são usados para converter um sinal analógico num sinal digital. Existem diferentes tipos de ADC tais como o Flash, o Pipeline, o Sigma Delta e o SAR, sendo o último o principal foco deste trabalho. O conversor digital-analógico (DAC), usualmente é capacitivo ou resistivo ou com fontes de corrente, é um dispositivo que permite converter um sinal digital para um sinal analógico. Existem diferentes estruturas tais como o DAC C-2C ou o DAC Pesado Binariamente.

A operação de um ADC pode ser dividida em dois processos distintos: amostragem do sinal, que é normalmente implementado através de um circuito de *Sample and Hold* que vai amostrar o sinal de entrada mantendo-o durante o processo de conversão do sinal, o outro processo designa-se de quantização que é responsável por procurar o código de saída que melhor representa o sinal analógico amostrado. Um quantizador ideal de  $N$  bits divide a gama de valores em  $2^N$  níveis de decisão, permitindo, assim, representar a quantidade infinita de valores do sinal analógico em uma quantidade de bits finita com o objetivo de obter o sinal digital. Neste processo pode ocorrer o erro de quantização que corresponde à diferença entre o sinal amostrado e o sinal quantizado [1].

O conversor de Aproximações Sucessivas (SAR) é um ADC muito importante para aplicações de baixo consumo de energia [2]–[12], uma vez que é energeticamente muito eficiente, devido ao seu desenvolvimento tecnológico. Devido a estes benefícios, este tipo de conversor é posto em prática em diversas aplicações

nomeadamente, em aplicações biomédicas [4], [13]–[15], em sensores sem fios [6], [7], [13], na monitorização ambiental (temperatura e pressão) [15] e em aplicações IoT [16], [17]. A arquitetura SAR habitualmente é constituída por quatro blocos: circuito de *Sample and Hold* que amostra o sinal de entrada, um comparador a partir do qual são obtidas as decisões para a obtenção dos bits, um bloco de lógica com o algoritmo de aproximação sucessiva e um DAC que converte o sinal digital novamente em sinal analógico para ser avaliado pelo comparador. O circuito de *Sample and Hold* pode estar embebido no DAC [5], [18], [19].



**Figura 1.1: Arquitetura SAR ADC**

O DAC capacitivo Pesado Binariamente com redistribuição de carga [19] é o tipo de DAC mais utilizado para a implementação de um SAR ADC. Neste tipo de DAC e, para uma resolução de  $N$  bits, o condensador que corresponde ao bit mais significativo vai ter uma capacidade de  $2^{N-1}C$  enquanto que o que corresponde ao bit menos significativo vai ter uma capacidade de  $C$ . Este tipo de DAC é frequentemente utilizado de três diferentes maneiras de comutação: Convencional, Monotónico ou *V<sub>cm</sub>-Based*. A capacidade aumenta exponencialmente com a resolução do SAR, pelo que vai haver uma discrepância acentuada entre o valor da capacidade do bit mais significativo e o do menos significativo que leva a um maior consumo de energia. Assim, e devido a esta desvantagem, a resolução é limitada para 8-12 bits.

## 1.1 Objetivo e Motivação

Devido ao problema mencionado anteriormente este trabalho tem como o objetivo a elaboração de uma arquitetura SAR com um DAC C-2C que vai ser assim alvo de comparação com o DAC Pesado Binariamente. Este tipo de DAC é popular devido à pequena área que pode ocupar e, como consequência, resulta numa velocidade de conversão elevada com uma energia consumida pelo sistema SAR extremamente baixa [10]–[12], [20] comparativamente a outras arquiteturas mencionadas. Enquanto que a área do DAC pesado binariamente aumenta exponencialmente com a resolução e a o valor entre as capacidades dos condensadores vai ser cada vez mais

assinalável, na arquitetura C-2C a maior razão que existe entre os condensadores é 2. Contudo, este tipo de arquitetura apresenta uma desvantagem que é a má linearidade do conversor que restringe a sua resolução. Contudo, alguns trabalhos foram desenvolvidos para resolver este problema nomeadamente o Pseudo C-2C [12], [20] e FSV C-2C [10], embora tenham sido poucos os trabalhos que implementaram a estrutura C-2C.

Uma das principais motivações neste projeto é o de fazer algo que pode ser benéfico para o futuro, nomeadamente ao nível de produtos biomédicos. Se for possível o desenvolvimento de um DAC C-2C extremamente eficiente do ponto de vista energético, com uma velocidade de conversão elevada e com a pequena área que ocupa este tornar-se-á muito útil em implantes ao nível biomédico, considerando que a necessidade e procura por desenvolvimento tecnológico é elevada.

## **1.2 Estrutura da Dissertação**

Este trabalho é composto por cinco capítulos diferentes, sendo que o primeiro dos quais é a Introdução, que está a ser desenvolvida.

No segundo capítulo onde é apresentado o Estado da Arte, são expostos diferentes conceitos tais como: Métricas de avaliação de um ADC, diferentes conversores, tal como, o Flash, o Pipeline, o Sigma Delta e o SAR ADC, visando estabelecer uma comparação entre eles. Vai ser analisado o DAC capacitivo Pesado Binariamente, com diferentes esquemas de comutação: Convencional, Monotónico e MCS, e o DAC C-2C. A terminar este capítulo, vai ser apresentado um estudo de diferentes arquiteturas SAR relevantes, sendo feita uma comparação entre elas.

No que diz respeito ao terceiro capítulo, que apresenta o estudo do SAR ADC com DAC C-2C, foi desenvolvido teoricamente o funcionamento deste tipo de DAC no domínio da tensão, nomeadamente, na linearidade do ADC e a eficiência energética no processo de conversão do ADC. Daí que foi elaborado um modelo de alto nível que permitiu chegar aos resultados existentes no capítulo.

O capítulo quatro apresenta um estudo comparativo entre o ADC com DAC C-2C e com DAC Pesado Binariamente, sendo expostos não só as virtudes de ambos, como também as suas desvantagens.

O último capítulo é constituído pela conclusão e trabalho futuro.



# 2

## 2 Estado da Arte

### 2.1 ADC e DAC

O conversor analógico-digital (ADC) é um dispositivo que permite converter um sinal analógico para um sinal digital. Existem diferentes tipos de conversores tais como o Flash, o Pipeline, o Sigma Delta e o SAR, entre outros, que são avaliados a partir de métricas, sendo componentes críticos para sistemas biomédicos, de comunicação e sistemas de processamento de sinal. O conversor digital-analógico (DAC) é um componente que permite converter um sinal digital para um sinal analógico, podendo este ser capacitivo ou resistivo.

O conversor analógico-digital apresenta dois processos distintos, a amostragem do sinal e o processo de quantização. A amostragem do sinal é normalmente implementado por um circuito de *Sample and Hold* que vai amostrar o sinal de entrada, com uma determinada frequência de amostragem, mantendo-o durante o processo de conversão, podendo este circuito de S/H ser realizado pelo próprio DAC. O processo de quantização é responsável por representar a quantidade infinita de valores do sinal analógico numa quantidade por bits finita com principal objetivo de atingir o sinal digital, encontrando assim o código de saída que melhor representa o sinal amostrado.

### 2.2 Definição da tensão do bit menos significativo ( $V_{\text{LSB}}$ )

A tensão do bit menos significativo,  $V_{\text{LSB}}$ , define a resolução do quantizador. A tensão  $V_{\text{LSB}}$  é igual a  $\frac{V_{\text{ref}}}{2^{n\text{bits}}}$ , sendo que o número de bits define a resolução do conversor e a tensão de referência,  $V_{\text{ref}}$ , define a gama de conversão. Para um conversor A/D, a tensão  $V_{\text{LSB}}$  corresponde à alteração mínima da tensão de entrada, resultando

na alteração do bit menos significativo no código de saída. A tensão  $V_{LSB}$ , num conversor D/A, é igual à mudança da tensão de saída quando o bit menos significativo é alternado.

## 2.3 Erro de Quantização

O erro de quantização, acontece quando o sinal de entrada, num conversor A/D é quantizado para um número finito de degraus, este erro corresponde à diferença entre o sinal de entrada com o sinal quantizado. O erro de quantização é limitado entre  $\pm \frac{V_{LSB}}{2}$ .

## 2.4 Erro de offset e Erro de fim de escala

O erro de offset corresponde à diferença do ponto associado ao primeiro código do sinal real com o ponto do código ideal. O erro de fim de escala vai ser a diferença entre o valor do código de saída ideal com o valor real. Na conversão, ocorrem erros lineares que, neste caso, é quando o valor real varia da curva do sinal ideal, contudo os degraus de conversão apresentam o mesmo tamanho enquanto nos erros não lineares cada degrau de conversão apresenta um tamanho diferente. Dois exemplos deste tipo de erro são os erros denominados por DNL e INL.

## 2.5 Métricas da Performance de um ADC

### 2.5.1 Estática

#### 2.5.1.1 DNL

O erro de não linearidade diferencial, DNL, é calculado através da diferença entre a largura do degrau do código de transição real com o de ideal, o tamanho do degrau num sinal ideal de 1 LSB. Por isso, se a largura do degrau real for maior que 1 LSB o DNL vai ser positivo, se for menor então este é negativo. Para um conversor A/D ideal a métrica DNL vai ser igual a 0. Quando DNL é -1, quer dizer que o ADC apresenta um código ausente (*missing code*), ou seja, o código de saída do conversor não é produzido para uma determinada tensão de entrada.

#### 2.5.1.2 INL

O erro de não linearidade, INL, corresponde à diferença entre a curva da função de transferência real com a ideal, calculando assim em LSBs, a distância que separa ambas as curvas. INL está dependente dos erros de não linearidade diferencial.

## 2.5.2 Dinâmica

### 2.5.2.1 Razão Sinal-Ruído (SNR)

SNR é definido como a razão entre a potência do sinal de entrada com a potência total de ruído durante o processo de quantização. A fórmula matemática para o cálculo de SNR é dada pela Eq. (2.1).

$$SNR = 10 \log \frac{P_S}{P_N} \quad (2.1)$$

Para um ADC ideal, o máximo valor do sinal ocorre quando a amplitude deste é igual a  $\frac{V_{ref}}{2}$ . Neste caso o valor máximo de SNR é obtido com a Eq. (2.2).

$$SNR_{max} = 6,02nbits + 1.76 dB \quad (2.2)$$

### 2.5.2.2 Distorção Harmónica Total (THD)

THD é a métrica que calcula a razão da soma da potência de todas as harmónicas do sinal maiores do que a primeira com a potência da primeira harmónica, ou seja, do sinal. Esta métrica é obtida através da Eq. (2.3).

$$THD = 10 \log \frac{\sum_{n=1}^{\infty} P_{Dn}}{P_S} \quad (2.3)$$

### 2.5.2.3 Razão Sinal-Ruído e Distorção (SNDR)

SNDR representa a relação entre a potência do sinal e com a soma das potências de ruído e de distorção das harmónicas presentes no espectro. Esta relação é expressa pela Eq. (2.4).

$$SNDR = 10 \log \frac{P_S}{P_N + P_D} \quad (2.4)$$

### 2.5.2.4 Gama dinâmica livre de espúrios (SFDR)

A métrica SFDR é a distância entre o sinal fundamental e o sinal mais forte de distorção, espúrio, sendo a harmónica que atinge o pico mais alto no espectro da gama de frequências.

### 2.5.2.5 Número Efetivo de Bits (ENOB)

O número efetivo de bits está calculado pela Eq. (2.5) que representa o número de bits que um ADC tem realmente. Este é dependente de SNDR que, quanto maior for maior será o valor de ENOB.

$$ENOB = \frac{SNDR_{dB} - 1,76}{6,02} \quad (2.5)$$

### 2.5.2.6 Figura de Mérito (FOM)

A métrica FOM é utilizada para avaliar e classificar ADC. A FOM de *Walden*, que é calculada pela Eq. (2.6), mede o desempenho do conversor, ou seja, calcula a razão entre a potência consumida do conversor e a largura de banda de frequências do sinal B, mais a resolução efetiva, ENOB. Quanto melhor for o desempenho do conversor menor será a FOM.

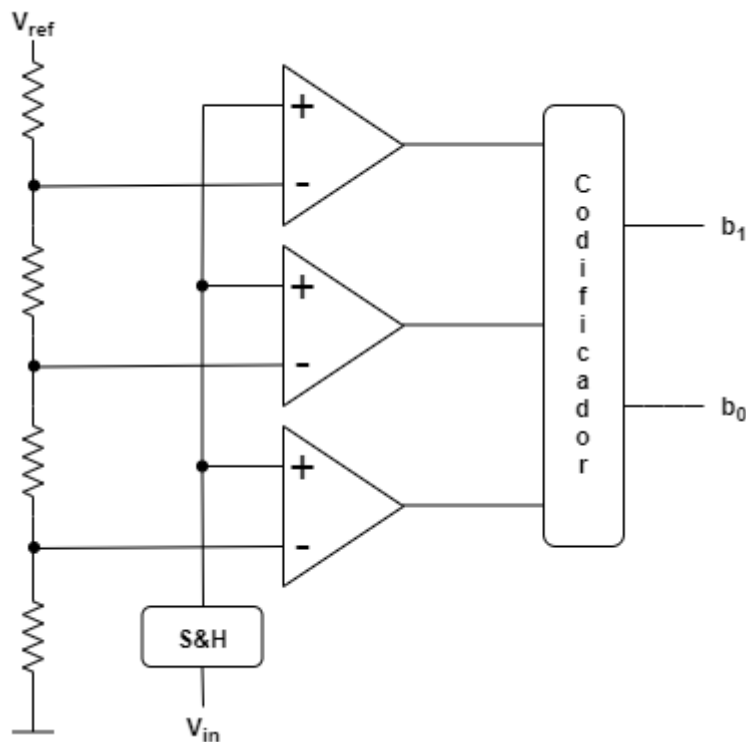
$$FOM = \frac{P}{2^{ENOB} \times 2B} \quad (2.6)$$

## 2.6 Topologias

### 2.6.1 Flash ADC

A arquitetura do conversor analógico-digital Flash está representada na Figura 2.1. Para a conversão do sinal de entrada numa palavra digital, este género de ADC, para um determinado número de bits, utiliza  $2^{n_{bits}}-1$  comparadores que comparam o sinal de entrada que está fixado através do circuito de S/H a uma tensão de referência que varia. A saída destes comparadores vai ser conectada a um codificador que constrói a palavra binária de N bits. Como os comparadores trabalham em conjunto pode-se referir a este tipo de ADC como um conversor A/D Paralelo.

O conversor Flash é o conversor mais simples e o tempo de conversão é mínimo pois só necessita de um único ciclo de tempo para converter. Assim sendo, tem um tempo de conversão extremamente rápido sendo ideal para aplicações de alta frequência. Contudo, este conversor tem uma limitação; se o número de resolução aumenta o número de comparadores também vai aumentar fazendo com que o ruído e a energia consumida aumentem tornando-se assim ineficiente para aplicações de elevada resolução [1], [4].



**Figura 2.1: Arquitetura Flash de 2 bits**

Em primeiro lugar, o sinal de entrada para o procedimento deste conversor é amostrado pelo circuito de *Sample and Hold* e fixa a tensão de entrada durante o processo de conversão. A tensão de entrada vai ser depois comparada com a tensão do nó respetivo da escada resistiva que é alimentada pela tensão de referência com a ajuda do comparador. A saída do comparador forma um código que indica onde está situada a tensão de entrada e o codificador vai transformar este código numa palavra binária.

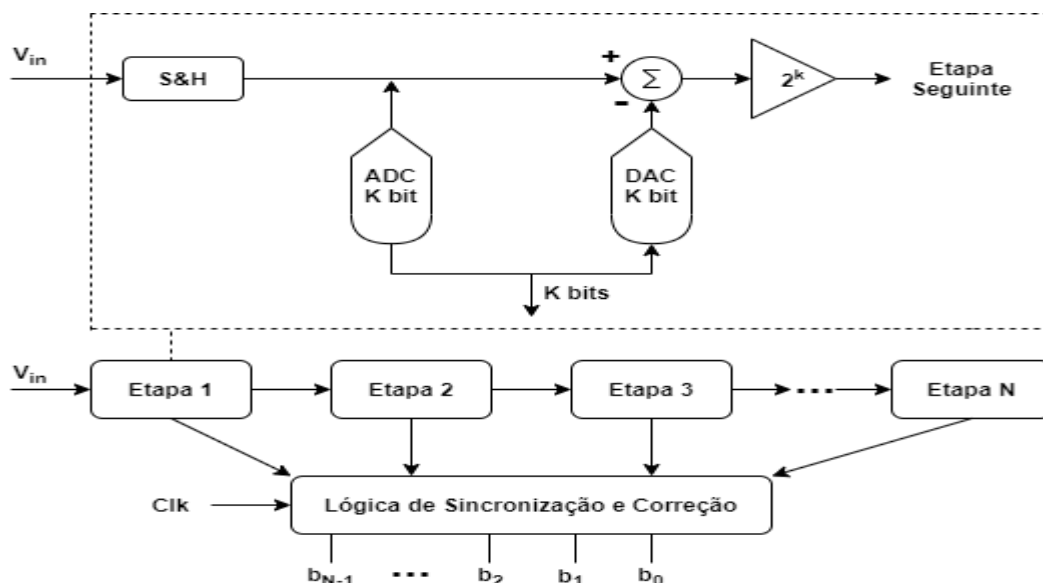
A tensão  $V_{in}$  poderá ter uma gama de valores, neste caso, entre 0 V e  $V_{ref}$  o que leva a 4 possibilidades executáveis para um Flash ADC de 2 bits. Ou seja, se  $V_{in} > \frac{3}{4} V_{ref}$  todos os comparadores vão ter o valor lógico de 1 à saída e a palavra binária vai ser 11.

### 2.6.2 Pipeline ADC

A arquitetura do conversor Pipeline está exibida na Figura 2.2. Este tipo de ADC é constituída por N etapas para uma resolução de N bits. Cada etapa deste conversor é constituída por um circuito de *Sample and Hold* que amostra o sinal de entrada e segura-o durante o processo de conversão por um ADC que converte o sinal para o domínio digital. A sua saída vai alimentar o DAC que torna esse sinal de novo num sinal analógico. A tensão à saída do DAC é depois subtraída à tensão de entrada.

Em seguida, o resultado desta subtração é amplificado por  $2^k$  sendo que  $K$  representa o número de bits da etapa  $e$ , como consequência, o número de bits do ADC e do DAC presentes nesta etapa. Este valor pode ser arbitrário.

Concluída a primeira etapa passa-se para a seguinte, sendo esta alimentada com a tensão resultante da primeira etapa,  $V_{in2}=(V_{in}-V_{DAC})2^k$ . A tensão de entrada de cada etapa vai ser comparada com o valor médio da gama de valores que  $V_{in}$  pode tomar. Se  $V_{in}$  for maior que o valor médio então o valor lógico desse bit vai ser 1 se acontecer o contrário o bit é 0. Este processo está em execução até que todos os bits sejam encontrados.



**Figura 2.2: Arquitetura Pipeline ADC**

Para uma operação de um conversor Pipeline de 4 bits, este vai ser composto por 4 etapas com 1 bit cada e com comparadores ideais. Tendo 4 bits vai ter 16 possibilidades diferentes como código de saída. Se a tensão de entrada for maior que o valor médio, neste caso 0, então o resultado do bit mais significativo vai ser 1. Após isto, a nova tensão de entrada da etapa 2 vai ser dada por  $V_{in2}=(V_{in}-V_{DAC})2^1$ . Se  $V_{in2}$  for menor que 0 V,  $b_2$  vai ter o valor lógico de 0.

Este processo é repetido até que todos os bits sejam encontrados. As vantagens do Pipeline são a sua velocidade de conversão pois consegue ser tão rápido como o Flash ADC, a alta resolução e um consumo de energia baixo. Consequentemente tem uma boa eficiência energética, contudo, tem uma latência elevada [1], [4].

### 2.6.3 Sigma Delta ADC

O conversor de Sigma Delta está representado na Figura 2.3. Este é constituído por um comparador, um integrador, um conversor analógico/digital (ADC) de N bits, um conversor digital/analógico (DAC) e um bloco, que é não só um filtro digital como também um decimador, à saída. Consoante o número de integradores utilizados pelo conversor de Sigma Delta este é definido com a ordem respetiva, ou seja, um Sigma Delta que usa somente um integrador é denominado como de primeira ordem [4].

Inicialmente, o sinal de entrada vai ser comparado, através do comparador, com o valor de saída que é digital e vai ser convertido para um sinal analógico através do DAC. O resultado desta comparação vai alimentar o integrador. O sinal de saída deste vai ser convertido para o domínio digital através do ADC, resultando assim no valor lógico de 0 ou 1. Este resultado vai alimentar o DAC e todo o processo vai ser repetido. Estes bits são depois filtrados e sofrem um processo de decimação de forma a ser obtida a palavra binária de saída deste conversor. O conversor Sigma Delta é famoso pela sua alta resolução, com um baixo consumo de energia e uma elevada estabilidade. Contudo, a sua velocidade de conversão é moderada. Este tipo de ADC pode ser utilizado em diversas aplicações tais como na biomedicina e em biossensores [4].

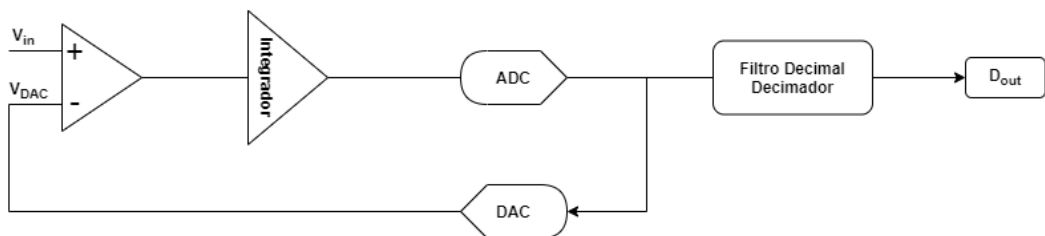
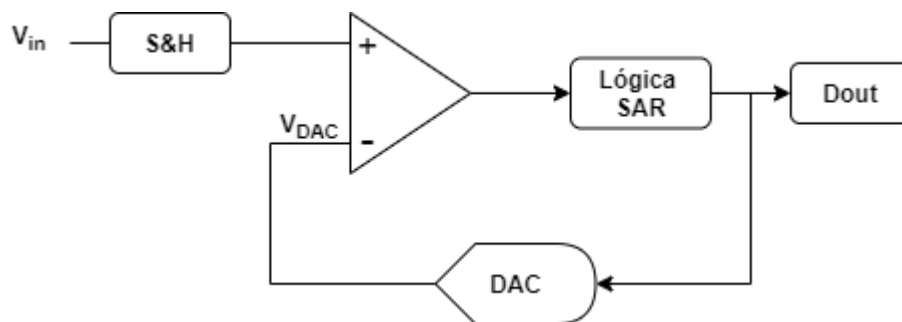


Figura 2.3: Arquitetura Sigma Delta

### 2.6.4 ADC de Aproximações Sucessivas (SAR)

O conversor SAR é implementado em aplicações de baixa energia com resolução e velocidade moderadas. Como este tipo de ADC tem um baixo consumo de energia [2]–[12], sendo energeticamente eficiente, é extremamente usado em sensores sem fios [6], [7], [13], em dispositivos biomédicos [4], [13]–[15], quer implantes, quer eletrónicos [14], em monitorização ambiental [15] e aplicações IoT [16], [17]. Assim o conversor SAR beneficia da evolução tecnológica ao longo dos tempos, tornando-se cada vez mais energeticamente eficientes.

A arquitetura do SAR, que está representada na Figura 2.4, é dividida por quatro subsistemas: circuito de *Sample and Hold*, um conversor que converte um sinal digital para analógico, o DAC, um comparador e um bloco de lógica associada ao algoritmo de aproximação sucessiva. No SAR ADC a energia é consumida principalmente no DAC, no comparador e nos circuitos digitais presentes no bloco da lógica SAR. O DAC é um dos blocos mais importantes e usualmente é utilizado um DAC resistivo ou capacitivo, resultando daí uma menor dissipação de energia. É de referir que em muitas arquiteturas o bloco de S/H são realizados pelo próprio DAC [5], [18], [19], nomeadamente para uma arquitetura SAR com Redistribuição de Carga.



**Figura 2.4: Arquitetura SAR Convencional**

O algoritmo de pesquisa binária é a principal operação de funcionamento do SAR ADC. Em primeiro lugar, o sinal de entrada é amostrado pelo circuito S/H. A tensão de entrada  $V_{in}$  é retida para ser utilizada ao longo da conversão. Assim sendo esta não varia durante todo o processo. O bloco da lógica de controle executa um algoritmo de pesquisa binária que constrói assim a palavra digital.

Inicialmente este bloco faz com que o bit mais significativo presente no DAC fique com o valor lógico de 1 enquanto que os restantes bits vão ter o valor de 0. Assim, a partir do bloco DAC, a palavra digital inicial vai ser convertida em uma tensão que vai corresponder à tensão à saída do DAC,  $V_{DAC}$ . O comparador vai comparar em seguida a tensão de entrada com a tensão produzida pelo DAC e se a tensão de entrada for maior que  $V_{DAC}$ , neste caso  $\frac{V_{ref}}{2}$ , o valor lógico à saída do comparador é 1 e se acontecer o contrário é 0. Baseado neste resultado, o bit mais significativo é determinado e guardado no bloco da lógica SAR.

No segundo ciclo vai ser determinado o segundo bit mais significativo, isto é, este bit vai ficar durante esta fase com o valor lógico de 1, para a segunda comparação ser executada. Deste modo, vai ser originada uma nova tensão à saída do DAC

que vai aumentar ou diminuir por  $\frac{V_{ref}}{4}$  de acordo com o resultado do primeiro ciclo. Esta nova tensão vai ser comparada com  $V_{in}$ , através do comparador, sendo daí obtido o segundo bit mais significativo.

Este procedimento é repetido até que todos os bits sejam determinados, por outras palavras, acaba após a determinação do bit menos significativo. Em cada ciclo de conversão executado, a tensão  $V_{DAC}$  vai aproximar-se cada vez mais da tensão de entrada. O diagrama do algoritmo presente no ADC de Registro de Aproximações Sucessivas está representado na Figura 2.5.

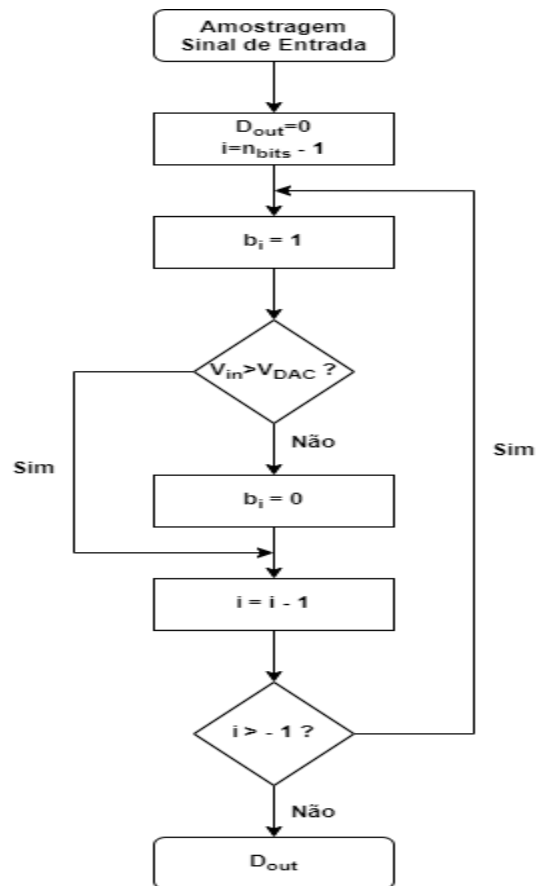


Figura 2.5: Diagrama do Algoritmo de Aproximações Sucessivas

### 2.6.5 Comparação entre as Topologias estudadas

Neste ponto vão ser analisadas as principais diferenças entre os conversores estudados face a diferentes parâmetros, tais como a resolução, a precisão, o consumo de energia, o custo, a área, a velocidade e a taxa de amostragem. Na Tabela 2.1, que foi obtida a partir de [1], [4], está sumarizada para as diferentes topologias de ADC a relação que têm com os parâmetros mencionados.

Podemos observar que o Flash ADC trabalha com o máximo de velocidade, contudo, apresenta uma área elevada e tem uma resolução baixa. O SAR é usado para consumos ultrabaixos de energia sem necessitar do custo de resolução e velocidade. O Sigma Delta tem o máximo de resolução.

Para sistemas biomédicos, o ADC necessita de trabalhar com uma velocidade moderada e um consumo de energia baixo, podendo afirmar-se que o SAR ADC é o melhor para ser utilizado. Para redes de sensores sem fios onde é preciso uma resolução alta mas um consumo de energia baixo, o SAR e o Sigma Delta são os que se adequam [4].

**Tabela 2.1: Comparação entre as diferentes Topologias**

<b>Topologias</b>	<b>Flash</b>	<b>Pipeline</b>	<b>Sigma Delta</b>	<b>SAR</b>
<b>Área</b>	Alta	Alta	Alta	Baixa
<b>Consumo de Energia</b>	Alto	Médio	Baixo	Ultrabaixo/ Baixo
<b>Precisão</b>	Baixa	Média/Alta	Média/Alta	Média/Alta
<b>Resolução</b>	Baixa	Média/Alta	Alta	Média
<b>Velocidade</b>	Alta	Média	Baixa	Baixa
<b>Frequência de Amostragem</b>	Alta	Média/Alta	Baixa	Média

## **2.7 SAR ADC com Redistribuição de Carga (CR)**

O SAR ADC foi implementado em [19] com o princípio de Redistribuição de Carga onde são utilizados condensadores pesados binariamente no DAC.

Esta técnica é assim constituída por um comparador, por uma rede de condensadores pesados binariamente, que têm ainda mais um condensador que apresenta a mesma capacidade do condensador do bit menos significativo (LSB), e por interruptores que a conectam os condensadores às tensões correspondidas. A função de S/H é realizada pelo DAC [5], [18], [19]. Com isso, o DAC vai ter um grande impacto na energia total consumida do SAR ADC. Existem diferentes arquiteturas que foram utilizadas em SAR ADC, como por exemplo, o *Charge Sharing* SAR ADC. Contudo a Redistribuição de Carga é o processo mais utilizado no DAC do SAR ADC.

Neste método, o ADC poderá ser diferencial sendo assim constituído por dois vetores de condensadores que estão conectados entre si na placa superior e na placa inferior vão estando ligados a interruptores. Comparativamente a um DAC Resistivo, um DAC Capacitivo é mais eficiente e menos sensível a erros [21].

Ao longo do tempo, muitos esquemas de comutação apareceram de forma a melhorar a eficiência energética e a diminuir a área de um SAR ADC. Três desses esquemas são: Convencional, Monotónico e  $V_{cm}$ -Based.

## 2.8 DAC Capacitivo Pesado Binariamente

O conversor digital-analógico pesado binariamente é o tipo de DAC mais utilizado nos conversores SAR. Para um ADC de N bits, o condensador referente ao bit mais significativo vai ter uma capacidade de  $2^{nbits-1}C$  e o condensador do bit menos significativo vai ser C. Este tipo de arquitetura geralmente apresenta ainda um condensador extra denominado por condensador *dummy* com o mesmo valor de capacidade do condensador que representa o bit menos significativo, C. Com isso o valor total da capacidade dos condensadores nesta técnica vai ser de  $2^{nbits}C$ . Esta arquitetura está representada na Figura 2.6.

Como se pode verificar, o valor da capacidade aumenta exponencialmente com o número de bits de resolução. Isto leva a uma área maior do ADC e o valor da razão entre a capacidade do bit mais significativo e do bit menos significativo torna-se cada vez mais discrepante, resultando daí um consumo maior de energia. Esta é a grande desvantagem deste tipo de DAC, pois a sua resolução é limitada a 8-12 bits, devido a esta desvantagem.

Nesta parte do trabalho, vão ser analisados três tipos de conversores SAR com um DAC pesado binariamente com diferentes esquemas de comutação: Convencional, Monotónico e  $V_{cm}$ -Based.

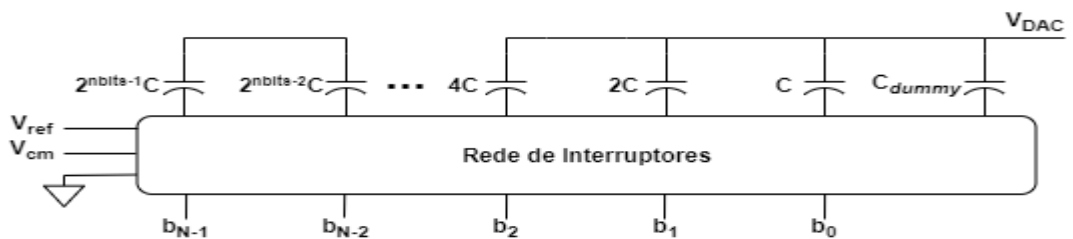


Figura 2.6: Arquitetura DAC Pesado Binariamente

## 2.8.1 Esquema Convencional

A arquitetura do esquema Convencional para um SAR ADC diferencial de 3 bits com um DAC pesado binariamente está representada na Figura 2.7. Este tipo de esquema foi proposto em [22] o que permitiu um grande avanço na análise deste tipo de ADC. Nesta secção vai ser descrita como funciona a operação do esquema Convencional.

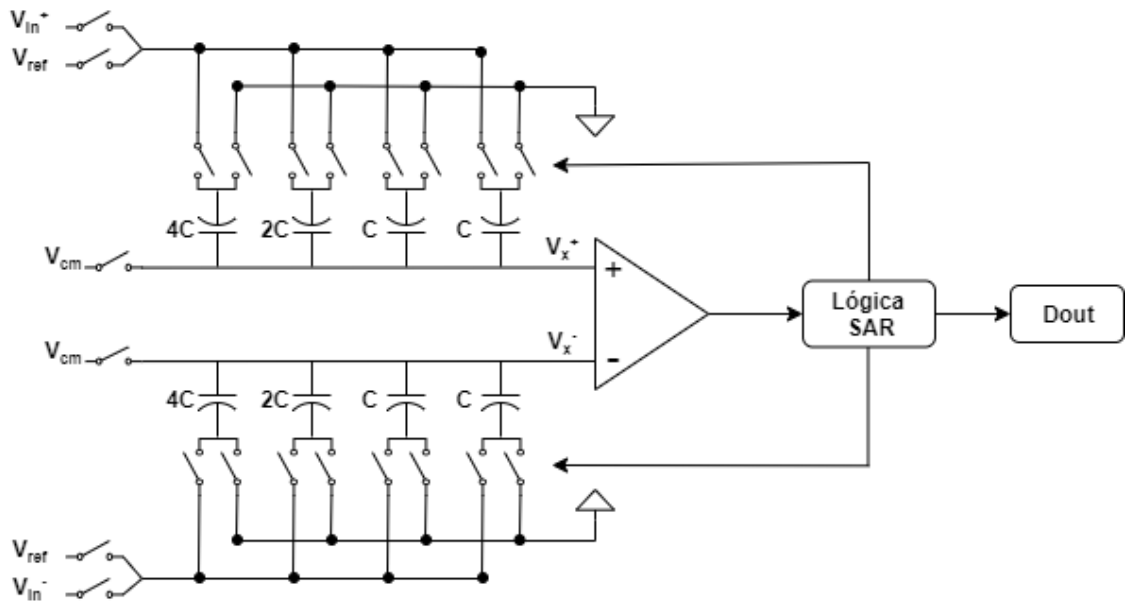


Figura 2.7: Arquitetura SAR ADC de 3 bits em Esquema Convencional

A primeira fase deste algoritmo vai ser a fase de amostragem. Nesta fase, a tensão de entrada,  $V_{in}^+$  e  $V_{in}^-$ , é conectada à placa inferior dos condensadores, parte do condensador que não está ligada ao comparador, e a placa superior vai ser ligada à tensão de modo comum,  $V_{cm}$ . Uma vez feita a amostragem do sinal de entrada, esses condensadores desconectam-se da tensão de entrada. Em seguida, no vetor de condensadores da parte positiva do DAC, o condensador que representa o bit mais significativo, MSB, neste caso o  $4C$ ,  $2^{(n_{bits}-1)}C$ , é conectado a  $V_{ref}$  enquanto que os restantes condensadores são ligados a *ground*. Na parte negativa do DAC, o complementar é realizado, ou seja, o MSB é conectado a *ground* enquanto que os restantes são ligados a  $V_{ref}$ . Simultaneamente a tensão  $V_{cm}$  é desconectada da placa superior da rede de condensadores.

Posto isto, as tensões de saída do DAC são obtidas permitindo assim que o comparador realize a primeira operação. No primeiro caso, se  $V_{in}^+ > V_{in}^-$  então o bit mais significativo ficará com o valor de 1 fazendo com que este condensador se mantenha conectado a  $V_{ref}$ . Para o caso de  $V_{in}^+ < V_{in}^-$ , o bit mais significativo, MSB, vai ter

o valor lógico de 0 fazendo assim com que na próxima fase o condensador associado a este bit seja ligado a *ground*. Em seguida e depois do MSB estar decidido, o segundo bit mais significativo, MSB-1, é conectado a  $V_{ref}$  e o complementar a *ground*. Este ciclo vai-se manter até que o bit menos significativo seja determinado, concluindo assim o processo de conversão.

Na Figura 2.8, estão representados todos os passos possíveis de conversão para este SAR ADC incluindo a energia despendida em cada passo executado. Pode-se verificar que as cargas não são necessariamente movidas eficientemente. Pois, por exemplo, e em comparação, no segundo ciclo, se o segundo bit mais significativo for 1, este despende cinco vezes menos energia no caso de o valor lógico for 0.

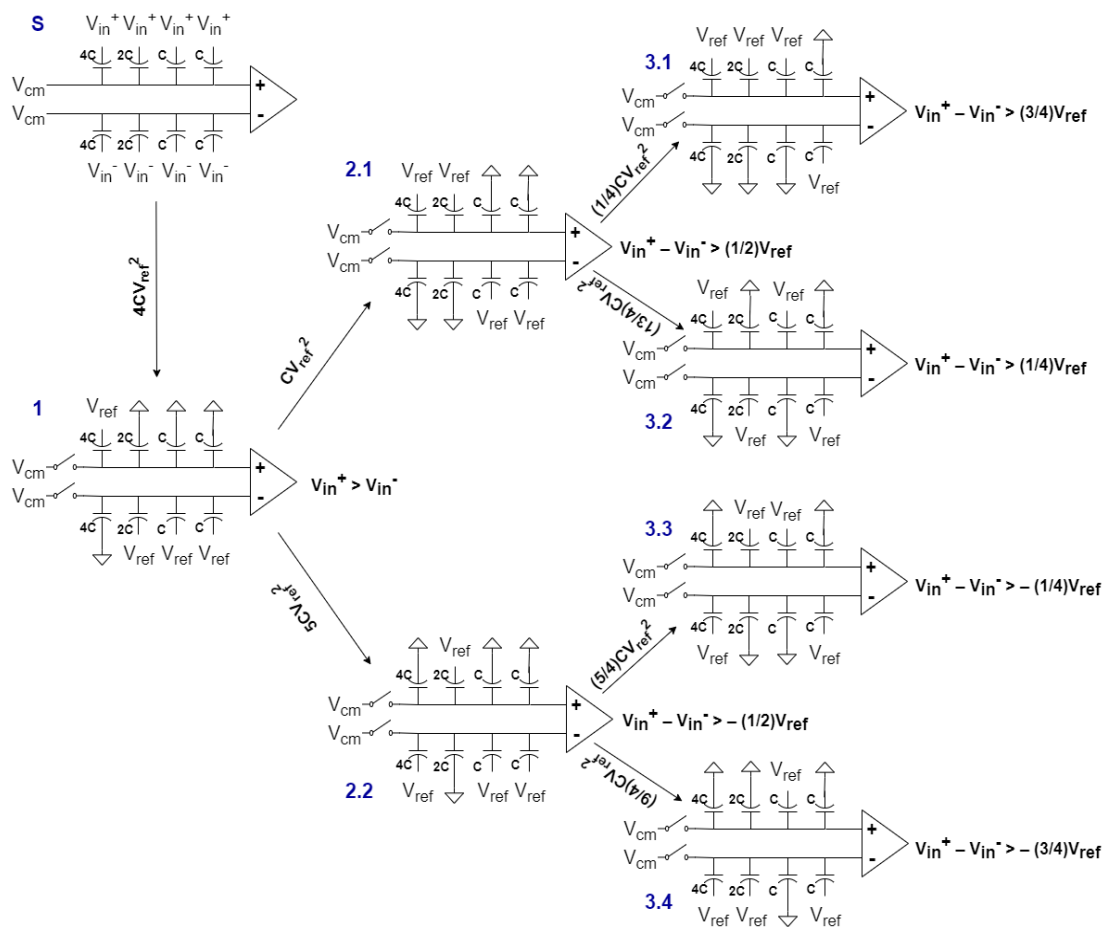
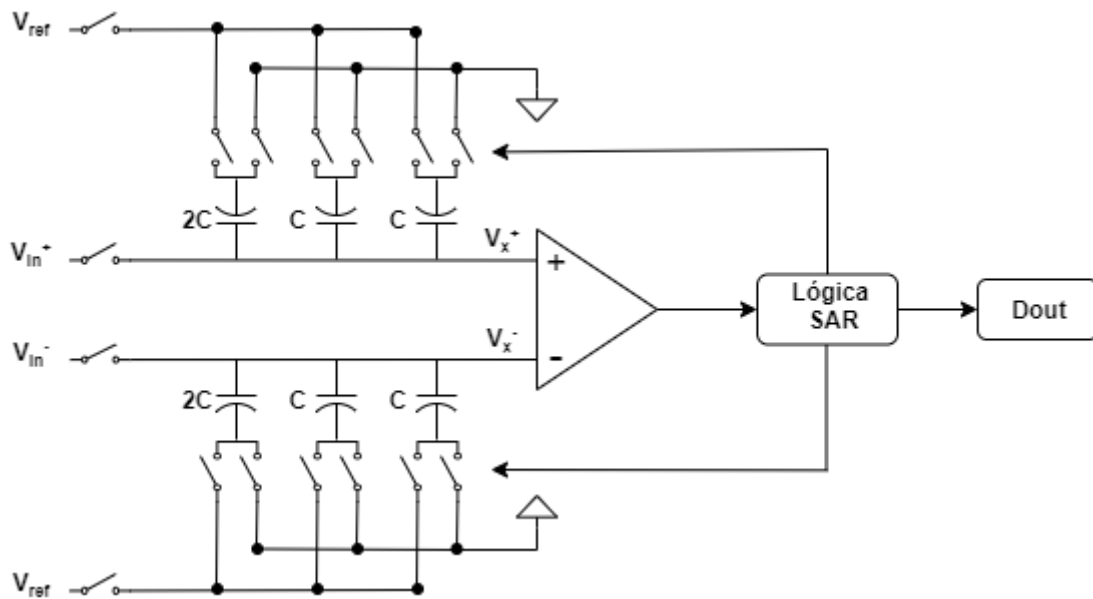


Figura 2.8: Procedimento e Energia consumida para um SAR ADC Convencional de 3 bits. Adaptado de [5]

## 2.8.2 Esquema Monotónico

O esquema de comutação Monotónico foi proposto em [5], e teve como objetivo melhorar a eficiência do esquema de comutação Convencional. A arquitetura

deste encontra-se representada na Figura 2.9, sendo esta um SAR ADC diferencial de 3 bits associada ao esquema Monotónico.



**Figura 2.9: Arquitetura SAR ADC de 3 bits em Esquema Monotónico**

A ideia em que este algoritmo assenta assenta no uso de ciclos de descarga, sem carga associada. Como nesta arquitetura o sinal de entrada é obtido na placa superior da rede de condensadores, em vez de na placa inferior como acontecia no Convencional, esta só necessita de  $2^{n_{bits}-1}$  condensadores em vez de  $2^{n_{bits}}$ .

Esta simplificação é possível porque o MSB é obtido diretamente da comparação entre os sinais de entrada ( $V_{in}^+$  e  $V_{in}^-$ ). Na primeira fase deste algoritmo, o sinal de entrada é amostrado na armadura superior da rede de condensadores, enquanto que a armadura inferior é ligada à tensão de referência,  $V_{ref}$ . O MSB é, assim, obtido através da primeira decisão do comparador. Dependendo desta decisão, isto é, se  $V_{in}^+ > V_{in}^-$  MSB vai ser 1 e como consequência, o maior condensador na parte positiva do DAC, que está conectado a  $V_{ref}$ , vai passar a estar ligado a *ground* enquanto que na parte negativa do DAC o MSB-1 vai manter-se ligado a  $V_{ref}$ .

Para o caso, se  $V_{in}^+ < V_{in}^-$  então MSB-1 vai ter o valor de 0 e devido a isso, o MSB-1 do lado negativo do DAC vai ser conectado a *ground* enquanto que no positivo mantem-se inalterado. Ao longo dos restantes bits o procedimento é idêntico. Na Figura 2.10, estão representados todos os passos possíveis de conversão para este SAR ADC incluindo a energia despendida em cada passo executado. Pode-se verificar, que em contraste com o esquema convencional, o ciclo para a obtenção de MSB não consome qualquer energia.

O esquema de comutação Monotónico consome apenas 18,74% da energia despendida no esquema convencional, quando comparado a um ADC de 10 bits [1], demonstrando assim que é muito mais eficiente energeticamente e apresenta uma área menor pois, o DAC é constituído por metade da capacidade comparativamente à quantidade existente no Convencional.

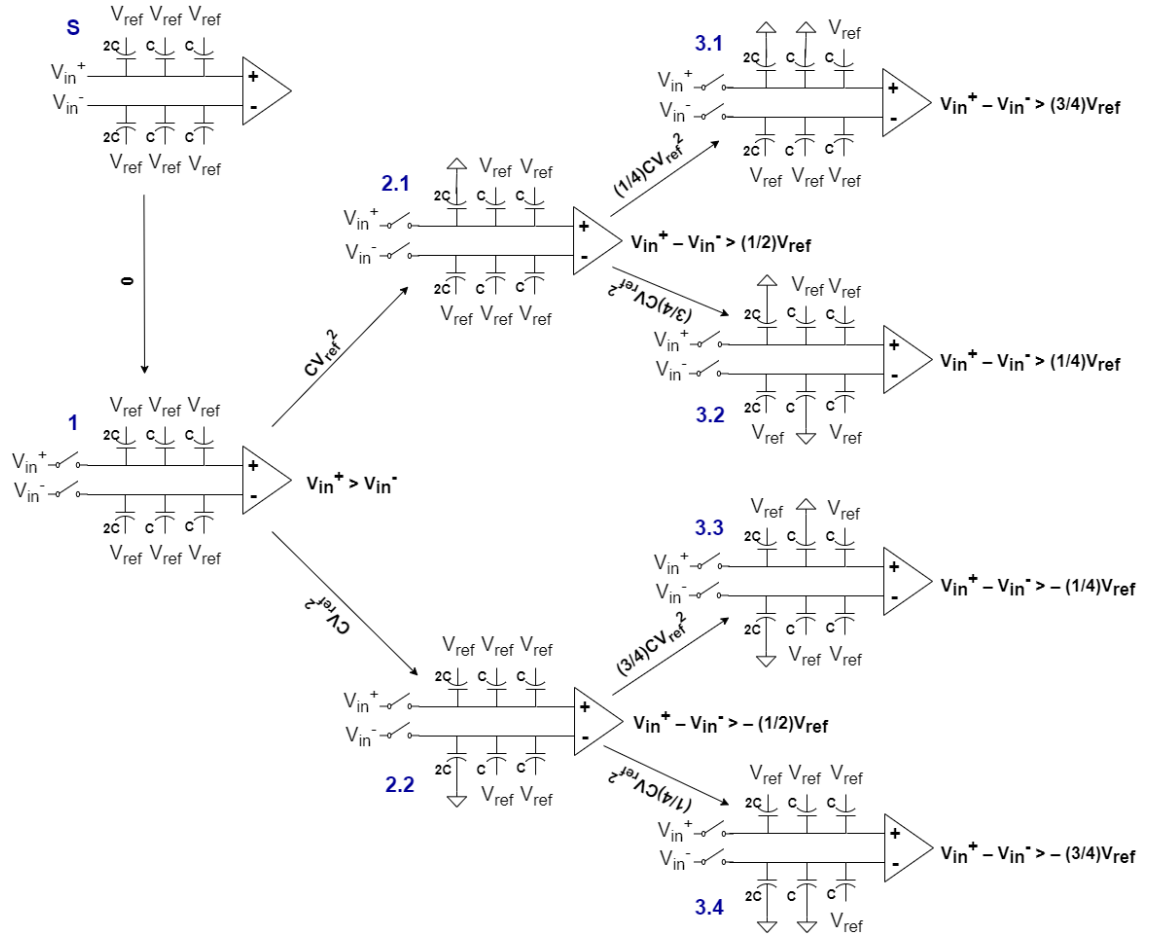


Figura 2.10: Procedimento e Energia consumida para um SAR ADC Monotónico de 3 bits. Adaptado de [5]

### 2.8.3 Esquema $V_{CM}$ -Based

O esquema de comutação  $V_{CM}$ -Based também pode ser designado de MCS (*Merged Capacitor Switching*). Este esquema é idêntico ao do Monotónico, pois tal como aquele, o sinal de entrada é amostrado na placa superior da rede de condensadores. Devido a isso, o condensador MSB pode ser removido do DAC reduzindo assim para metade o valor total de condensadores no DAC. Esta arquitetura está representada na Figura 2.11 e foi proposto por [18].

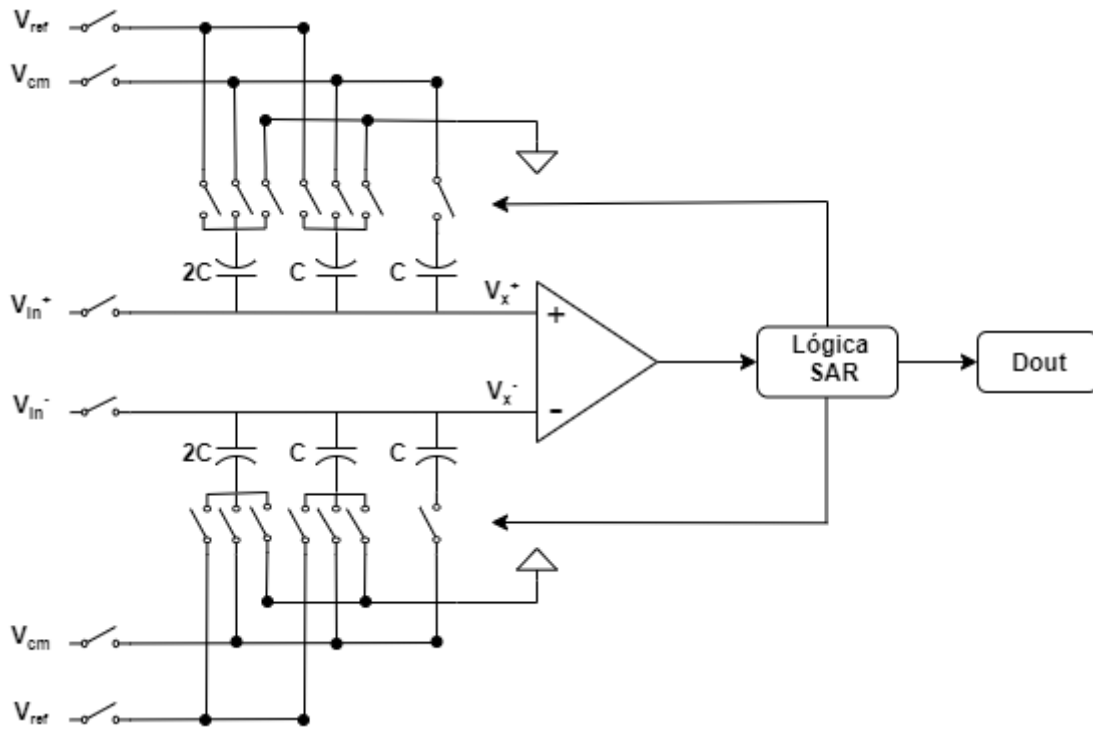


Figura 2.11: Arquitetura SAR ADC de 3 bits em Esquema MCS. Adaptado de [18]

No primeiro ciclo correspondente à fase de amostragem, as tensões de entrada,  $V_{in}^+$  e  $V_{in}^-$ , são ligadas às placas superiores dos condensadores da parte positiva e negativa do DAC, respetivamente, enquanto que as placas inferiores são ligadas a  $V_{cm}$ . O MSB é determinado através da comparação entre as tensões de entrada,  $V_{in}^+$  e  $V_{in}^-$ . Esta comparação não vai depender qualquer energia no DAC porque na próxima fase a placa superior dos condensadores é desconectada das tensões de entrada enquanto que as placas inferiores se mantêm conectadas a  $V_{cm}$ . Devido a isso, a tensão no vetor de condensadores positivo e negativo mantem-se constante devido à conservação de carga.

Se o resultado obtido pelo comparador for 1,  $V_{in}^+ > V_{in}^-$ , o maior condensador da parte positiva do DAC é descarregado para *ground* enquanto que os restantes condensadores do DAC se mantêm ligados a  $V_{cm}$  e a parte negativa do DAC não sofre alterações. Se  $V_{in}^+ < V_{in}^-$ , o resultado do MSB é 0 fazendo com que na parte negativa do DAC o MSB-1 seja ligado a *ground* e os restantes condensadores mantêm-se ligados a  $V_{cm}$ . Este processo é repetido para os restantes bits da conversão, e está representado na Figura 2.12.

Este algoritmo consome apenas 12,48% da energia consumida pelo SAR ADC Convencional de 10 bits [1], mas se  $V_{cm}$  for metade de  $V_{ref}$ , a rede de condensadores do DAC não consome energia por  $V_{cm}$  durante a fase de conversão.

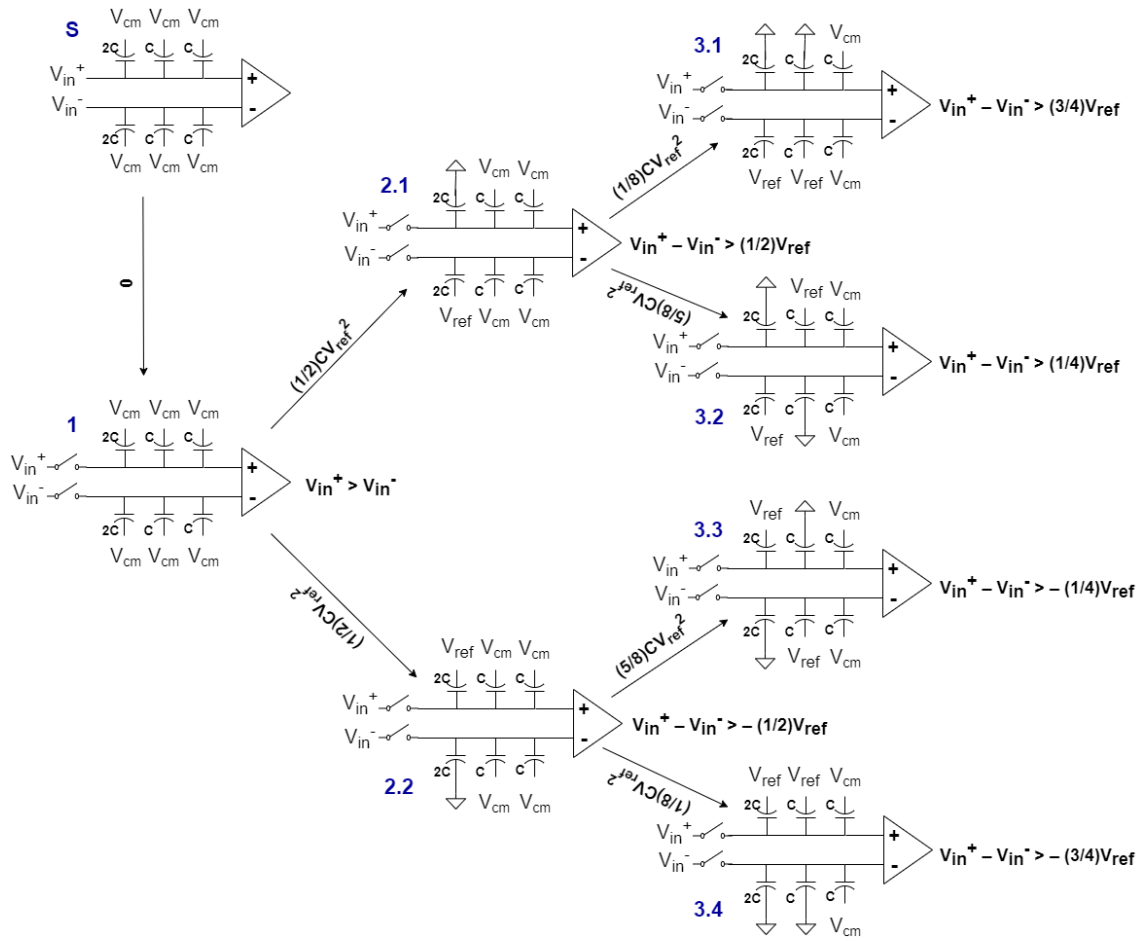


Figura 2.12: Procedimento e Energia consumida para um SAR ADC MCS de 3 bits

### 2.8.3.1 Desenvolvimento teórico das expressões do esquema MCS

**Fase de amostragem, S:** Na fase de amostragem do esquema MCS, as placas inferiores dos condensadores são conectadas à tensão  $V_{cm}$  e as placas superiores são ligadas à tensão de entrada. As cargas nas placas superiores, do lado positivo e negativo do DAC estão representadas, respectivamente, pela Eq. (2.7) e Eq. (2.8).

$$Q_s^+ = 2C(V_{in}^+ - V_{cm}) + C(V_{in}^+ - V_{cm}) + C(V_{in}^+ - V_{cm}) \quad (2.7)$$

$$Q_s^- = 2C(V_{in}^- - V_{cm}) + C(V_{in}^- - V_{cm}) + C(V_{in}^- - V_{cm}) \quad (2.8)$$

**Fase 1:** Após o sinal ser amostrado, os condensadores desconectam-se de  $V_{in}$  e mantêm-se ligados a  $V_{cm}$  pelas placas inferiores dos condensadores. As Eq.(2.9) e Eq. (2.10) representam a carga existente nas placas superiores da rede do DAC.

Como a carga é conservada, são produzidas as tensões  $V_{x_1}^+$  e  $V_{x_1}^-$  que representam a tensão existente à saída do DAC.

$$Q_1^+ = 2C(V_{x_1}^+ - V_{cm}) + C(V_{x_1}^+ - V_{cm}) + C(V_{x_1}^+ - V_{cm}) \quad (2.9)$$

$$Q_1^- = 2C(V_{x_1}^- - V_{cm}) + C(V_{x_1}^- - V_{cm}) + C(V_{x_1}^- - V_{cm}) \quad (2.10)$$

Com o princípio de conservação de carga, é possível obter a tensão de saída DAC, igualando  $Q_s$  a  $Q_1$ , a partir das equações (2.11) e (2.12). As tensões obtidas vão depois ser avaliadas pelo comparador pela Eq. (2.13).

$$Q_s^+ = Q_1^+ \Leftrightarrow V_{x_1}^+ = V_{in}^+ \quad (2.11)$$

$$Q_s^- = Q_1^- \Leftrightarrow V_{x_1}^- = V_{in}^- \quad (2.12)$$

$$\Delta V_x = V_{x_1}^+ - V_{x_1}^- = \Delta V_{in} > 0 \Leftrightarrow V_{in}^+ - V_{in}^- > 0 \Leftrightarrow V_{in}^+ > V_{in}^- \quad (2.13)$$

Como se pode verificar, a tensão do DAC permanece constante,  $s \rightarrow 1$ , o que permite concluir que este não necessita de gastar energia para concluir esta transição.

**Fase 2:** Acontece após a primeira decisão do comparador; se a decisão for que MSB fique com o valor lógico de 1 então a fase 2.1 é gerada, se esta for contrária realiza-se a fase 2.2.

**Fase 2.1:** A placa inferior do condensador MSB-1, da parte positiva do DAC, desconecta-se de  $V_{cm}$  e liga-se a *ground*, enquanto que na parte negativa este condensador liga-se à tensão de referência,  $V_{ref}$ . Os restantes condensadores mantêm-se ligados a  $V_{cm}$ . As Eq. (2.14) e Eq.(2.15) representam a carga nas placas superiores da rede de condensadores do DAC. Devido à ação de comutação, as tensões do DAC mudam de modo a manter a carga constante.

$$Q_{2.1}^+ = 2C(V_{x_{2.1}}^+ - 0) + C(V_{x_{2.1}}^+ - V_{cm}) + C(V_{x_{2.1}}^+ - V_{cm}) \quad (2.14)$$

$$Q_{2.1}^- = 2C(V_{x_{2.1}}^- - V_{ref}) + C(V_{x_{2.1}}^- - V_{cm}) + C(V_{x_{2.1}}^- - V_{cm}) \quad (2.15)$$

A conservação de carga permite calcular, a partir das Eq. (2.16) e Eq. (2.17), as tensões de saída do DAC. O comparador, com a Eq.(2.18), vai avaliar as tensões e tomar uma decisão para gerar uma nova fase.

$$Q_s^+ = Q_{2.1}^+ \Leftrightarrow V_{x_{2.1}}^+ = V_{in}^+ - \frac{1}{2}V_{cm} \quad (2.16)$$

$$Q_s^- = Q_{2.1}^- \Leftrightarrow V_{x_{2.1}}^- = V_{in}^- - \frac{1}{2}V_{cm} + \frac{1}{2}V_{ref} \quad (2.17)$$

$$\Delta V_{x_{2.1}} = V_{x_{2.1}}^+ - V_{x_{2.1}}^- = \Delta V_{in} > \frac{1}{2}V_{ref} \Leftrightarrow V_{in}^+ - V_{in}^- > \frac{1}{2}V_{ref} \quad (2.18)$$

A energia consumida pelo DAC resultante da transição da fase 1 para 2.1, é determinada na Eq. (2.19), energia consumida pelo lado positivo do DAC que neste caso vai ser nula, e pela Eq.(2.20). Assim a energia total que o DAC requer para executar esta transição é dada pela Eq. (2.21).

$$E_{1 \rightarrow 2.1}^+ = 0 \quad (2.19)$$

$$E_{1 \rightarrow 2.1}^- = -V_{ref}(2C[(V_{x_{2.1}}^- - V_{ref}) - (V_{x_{2.1}}^- - V_{cm})]) = \frac{1}{2}CV_{ref}^2 \quad (2.20)$$

$$E_{1 \rightarrow 2.1} = E_{1 \rightarrow 2.1}^+ + E_{1 \rightarrow 2.1}^- = \frac{1}{2}CV_{ref}^2 \quad (2.21)$$

**Fase 2.2:** O procedimento da fase 2.2 é idêntico à fase 2.1. O condensador MSB-1, do vetor positivo do DAC, é conectado a  $V_{ref}$  e no lado negativo este vai ligar-se a *ground*. Durante esta fase, as cargas do DAC são expressas pela Eq. (2.22) e Eq. (2.23). Ao existir conservação de carga as tensões  $V_{x_{2.2}}^+$  e  $V_{x_{2.2}}^-$  são obtidas a partir da Eq. (2.24) e Eq. (2.25), respetivamente.

$$Q_{2.2}^+ = 2C(V_{x_{2.2}}^+ - V_{ref}) + C(V_{x_{2.2}}^+ - V_{cm}) + C(V_{x_{2.2}}^+ - V_{cm}) \quad (2.22)$$

$$Q_{2.2}^- = 2C(V_{x_{2.2}}^- - 0) + C(V_{x_{2.2}}^- - V_{cm}) + C(V_{x_{2.2}}^- - V_{cm}) \quad (2.23)$$

$$Q_s^+ = Q_{2.2}^+ \Leftrightarrow V_{x_{2.2}}^+ = V_{in}^+ - \frac{1}{2}V_{vcm} + \frac{1}{2}V_{ref} \quad (2.24)$$

$$Q_s^- = Q_{2.2}^- \Leftrightarrow V_{x_{2.2}}^- = V_{in}^- - \frac{1}{2}V_{cm} \quad (2.25)$$

A diferença de potencial da Tensão  $V_{x_{2.2}}$  é avaliada pelo Comparador com a Eq. (2.26).

$$\begin{aligned} \Delta V_{x_{2.2}} = V_{x_{2.2}}^+ - V_{x_{2.2}}^- = \Delta V_{in} &> -\frac{1}{2}V_{ref} \Leftrightarrow V_{in}^+ - V_{in}^- \\ &> -\frac{1}{2}V_{ref} \end{aligned} \quad (2.26)$$

A energia que o DAC necessita de gastar para produzir estas mudanças de tensões é calculada pela Eq. (2.27) para a rede positiva do DAC e pela Eq. (2.28) para a rede negativa do DAC, que neste caso vai ser nula pois não existe energia derivada de  $V_{ref}$ .

$$E_{1 \rightarrow 2.2}^+ = -V_{ref}(2C[(V_{x_{2.2}}^+ - V_{ref}) - (V_{x_1}^+ - V_{cm})]) = \frac{1}{2}CV_{ref}^2 \quad (2.27)$$

$$E_{1 \rightarrow 2.2}^- = 0 \quad (2.28)$$

A energia total que é gasta para executar a transição da fase 1 para a fase 2.2 é dada pela Eq. (2.29).

$$E_{1 \rightarrow 2.2} = E_{1 \rightarrow 2.2}^+ + E_{1 \rightarrow 2.2}^- = \frac{1}{2}CV_{ref}^2 \quad (2.29)$$

**Fase 3:** Esta fase corresponde à última fase de conversão para um SAR ADC de 3 bits. A partir desta, é possível determinar o bit menos significativo, LSB e gera quatro fases distintas, pois esta depende da avaliação do comparador para a obtenção do bit mais significativo, MSB, e do segundo bit mais significativo, MSB-1.

**Fase 3.1 e Fase 3.2:** Ambas as fases são geradas a partir de 2.1, ou seja, o bit mais significativo tem o valor lógico de 1. Se o segundo bit mais significativo, MSB-1, for 1, obtido pela avaliação do comparador, é produzida a fase 3.1. Nesta fase a

placa inferior do bit menos significativo, da parte positiva do DAC, vai ser conectada a *ground* e no outro vetor de condensadores o bit menos significativo é ligado a  $V_{ref}$ . Para o caso de MSB-1 ser 0, vai ser gerada a fase 3.2 e como consequência na parte positiva do DAC, o condensador referente o bit menos significativo vai ser conectado a  $V_{ref}$ , enquanto que o seu complementar vai ser ligado a *ground*. Eq. (2.30) e Eq. (2.31) representam a carga na placa superior em cada vetor de condensadores do DAC, na fase 3.1. Na fase 3.2 esta é obtida pela Eq. (2.32) e Eq. (2.33).

$$Q_{3.1}^+ = 2C(V_{x_{3.1}}^+ - 0) + C(V_{x_{3.1}}^+ - 0) + C(V_{x_{3.1}}^+ - V_{cm}) \quad (2.30)$$

$$Q_{3.1}^- = 2C(V_{x_{3.1}}^- - V_{ref}) + C(V_{x_{3.1}}^- - V_{ref}) + C(V_{x_{3.1}}^- - V_{cm}) \quad (2.31)$$

$$Q_{3.2}^+ = 2C(V_{x_{3.2}}^+ - 0) + C(V_{x_{3.2}}^+ - V_{ref}) + C(V_{x_{3.2}}^+ - V_{cm}) \quad (2.32)$$

$$Q_{3.2}^- = 2C(V_{x_{3.2}}^- - V_{ref}) + C(V_{x_{3.2}}^- - 0) + C(V_{x_{3.2}}^- - V_{cm}) \quad (2.33)$$

As tensões nas placas superiores do DAC,  $V_x^+$  e  $V_x^-$  são calculadas a partir do princípio de conservação de carga na Eq. (2.34) e Eq. (2.35), fase 3.1. Na fase 3.2 estas são calculadas pelas Eq. (2.36) e Eq. (2.37).

$$Q_s^+ = Q_{3.1}^+ \Leftrightarrow V_{x_{3.1}}^+ = V_{in}^+ - \frac{3}{4}V_{cm} \quad (2.34)$$

$$Q_s^- = Q_{3.1}^- \Leftrightarrow V_{x_{3.1}}^- = V_{in}^- - \frac{3}{4}V_{cm} + \frac{3}{4}V_{ref} \quad (2.35)$$

$$Q_s^+ = Q_{3.2}^+ \Leftrightarrow V_{x_{3.2}}^+ = V_{in}^+ - \frac{3}{4}V_{cm} + \frac{1}{4}V_{ref} \quad (2.36)$$

$$Q_s^- = Q_{3.2}^- \Leftrightarrow V_{x_{3.2}}^- = V_{in}^- - \frac{3}{4}V_{cm} + \frac{1}{2}V_{ref} \quad (2.37)$$

A diferença de potencial da tensão  $V_{x_{3.1}}$  é avaliada pelo Comparador, na fase 3.1, na Eq. (2.38). Enquanto que a decisão do comparador na fase 3.2 é decidida pela Eq. (2.39).

$$\Delta V_{x_{3.1}} = V_{x_{3.1}}^+ - V_{x_{3.1}}^- = \Delta V_{in} > \frac{3}{4} V_{ref} \Leftrightarrow V_{in}^+ - V_{in}^- > \frac{3}{4} V_{ref} \quad (2.38)$$

$$\Delta V_{x_{3.2}} = V_{x_{3.2}}^+ - V_{x_{3.2}}^- = \Delta V_{in} > \frac{1}{4} V_{ref} \Leftrightarrow V_{in}^+ - V_{in}^- > \frac{1}{4} V_{ref} \quad (2.39)$$

A energia que o DAC consome em cada vetor de condensadores, do lado positivo e negativo, para executar a transição da fase 2.1 para 3.1 é determinada pela Eq. (2.40) e Eq. (2.41).

$$E_{2.1 \rightarrow 3.1}^+ = -0 \quad (2.40)$$

$$\begin{aligned} E_{2.1 \rightarrow 3.1}^- &= V_{ref} (2C [(V_{x_{3.1}}^- - V_{ref}) - (V_{x_{2.1}}^- - V_{ref})] \\ &\quad + C [(V_{x_{3.1}}^- - V_{ref}) - (V_{x_{2.1}}^- - V_{cm})]) = \frac{1}{8} C V_{ref}^2 \end{aligned} \quad (2.41)$$

Na transição de 2.1 para 3.2 a energia consumida é dada pela Eq. (2.42), para a parte positiva do DAC, e pela Eq. (2.43), no lado negativo.

$$E_{2.1 \rightarrow 3.2}^+ = V_{ref} (C [(V_{x_{3.2}}^+ - V_{ref}) - (V_{x_{2.1}}^+ - V_{cm})]) = \frac{3}{8} C V_{ref}^2 \quad (2.42)$$

$$\begin{aligned} E_{2.1 \rightarrow 3.2}^- &= -V_{ref} (2C [(V_{x_{3.2}}^- - V_{ref}) - (V_{x_{2.1}}^- - V_{ref})]) \\ &= \frac{1}{4} C V_{ref}^2 \end{aligned} \quad (2.43)$$

A energia total despendida pelo DAC é dada pela Eq. (2.44), de 2.1 para 3.1, e pela Eq. (2.45), de 2.1 para 3.2.

$$E_{2.1 \rightarrow 3.1} = E_{2.1 \rightarrow 3.1}^+ + E_{2.1 \rightarrow 3.1}^- = \frac{1}{8} C V_{ref}^2 \quad (2.44)$$

$$E_{2.1 \rightarrow 3.2} = E_{2.1 \rightarrow 3.2}^+ + E_{2.1 \rightarrow 3.2}^- = \frac{5}{8} C V_{ref}^2 \quad (2.45)$$

**Fase 3.3 e 3.4:** O procedimento das fases 3.3 e 3.4 é semelhante ao processo revisto anteriormente. Ambas são geradas quando o bit mais significativo, MSB, é 0. Se o segundo bit mais significativo tiver o valor de 1 então a fase 3.3 é obtida, e o condensador referente ao bit menos significativo, LSB, tem um processo igual ao da fase 3.1. Se este for 0, leva assim ao pior caso possível, e o condensador LSB fica conectado na placa inferior com as mesmas tensões relativamente à fase 3.2. As

cargas obtidas na placa superior do DAC na fase 3.3 estão de acordo com a Eq. (2.46) e a Eq. (2.47) e na fase 3.4 com Eq. (2.48) e Eq. (2.49).

$$Q_{3.3}^+ = 2C(V_{x_{3.3}}^+ - V_{ref}) + C(V_{x_{3.3}}^+ - 0) + C(V_{x_{3.3}}^+ - V_{cm}) \quad (2.46)$$

$$Q_{3.3}^- = 2C(V_{x_{3.3}}^- - 0) + C(V_{x_{3.3}}^- - V_{ref}) + C(V_{x_{3.3}}^- - V_{cm}) \quad (2.47)$$

$$Q_{3.4}^+ = 2C(V_{x_{3.4}}^+ - V_{ref}) + C(V_{x_{3.4}}^+ - V_{ref}) + C(V_{x_{3.4}}^+ - V_{cm}) \quad (2.48)$$

$$Q_{3.4}^- = 2C(V_{x_{3.4}}^- - 0) + C(V_{x_{3.4}}^- - 0) + C(V_{x_{3.4}}^- - V_{cm}) \quad (2.49)$$

Como existe conservação de carga, é possível obter as tensões à saída do DAC pela Eq. (2.50) e Eq. (2.51), na fase 3.3. Em 3.4, estas tensões são obtidas de acordo com a Eq. (2.52) e Eq. (2.53).

$$Q_s^+ = Q_{3.3}^+ \Leftrightarrow V_{x_{3.3}}^+ = V_{in}^+ - \frac{3}{4}V_{cm} + \frac{1}{2}V_{ref} \quad (2.50)$$

$$Q_s^- = Q_{3.3}^- \Leftrightarrow V_{x_{3.3}}^- = V_{in}^- - \frac{3}{4}V_{cm} + \frac{1}{4}V_{ref} \quad (2.51)$$

$$Q_s^+ = Q_{3.4}^+ \Leftrightarrow V_{x_{3.4}}^+ = V_{in}^+ - \frac{3}{4}V_{cm} + \frac{3}{4}V_{ref} \quad (2.52)$$

$$Q_s^- = Q_{3.4}^- \Leftrightarrow V_{x_{3.4}}^- = V_{in}^- - \frac{3}{4}V_{cm} \quad (2.53)$$

A diferença de potencial da tensão  $V_x$  é avaliada pelo Comparador a partir da Eq. (2.54), na fase 3.3. Em 3.4, pela Eq. (2.55).

$$\begin{aligned} \Delta V_{x_{3.3}} &= V_{x_{3.3}}^+ - V_{x_{3.3}}^- = \Delta V_{in} > -\frac{1}{4}V_{ref} \Leftrightarrow V_{in}^+ - V_{in}^- \\ &> -\frac{1}{4}V_{ref} \end{aligned} \quad (2.54)$$

$$\begin{aligned} \Delta V_{x_{3.3}} &= V_{x_{3.3}}^+ - V_{x_{3.3}}^- = \Delta V_{in} > -\frac{3}{4}V_{ref} \Leftrightarrow V_{in}^+ - V_{in}^- \\ &> -\frac{3}{4}V_{ref} \end{aligned} \quad (2.55)$$

Na mudança da fase 2.2 para 3.3 a energia consumida por parte do DAC é dada pela Eq. (2.56), para a parte positiva, e pela Eq. (2.57), no lado negativo. Para executar a passagem da fase 2.2 para 3.4 é determinada pela Eq. (2.58) e Eq. (2.59).

$$\begin{aligned} E_{2.2 \rightarrow 3.3}^+ &= -V_{ref}(2C[(V_{x_{3.3}}^+ - V_{ref}) - (V_{x_{2.2}}^+ - V_{ref})]) \\ &= \frac{1}{4} CV_{ref}^2 \end{aligned} \quad (2.56)$$

$$\begin{aligned} E_{2.2 \rightarrow 3.3}^- &= -V_{ref}(2C[(V_{x_{3.3}}^- - V_{ref}) - (V_{x_{2.2}}^- - V_{cm})]) \\ &= \frac{3}{8} CV_{ref}^2 \end{aligned} \quad (2.57)$$

$$\begin{aligned} E_{2.2 \rightarrow 3.4}^+ &= -V_{ref}(2C[(V_{x_{3.4}}^+ - V_{ref}) - (V_{x_{2.2}}^+ - V_{ref})] \\ &\quad + C[(V_{x_{3.4}}^+ - V_{ref}) - (V_{x_{2.2}}^+ - V_{cm})]) = \frac{1}{8} CV_{ref}^2 \end{aligned} \quad (2.58)$$

$$E_{2.2 \rightarrow 3.4}^- = 0 \quad (2.59)$$

Na mudança da fase 2.2 para a fase 3.3, a energia total que o DAC gasta para concluir esta é dada pela Eq (2.60). A Eq. (2.61) calcula a energia consumida na transição de 2.2 para 3.4.

$$E_{2.2 \rightarrow 3.3} = E_{2.2 \rightarrow 3.3}^+ + E_{2.2 \rightarrow 3.3}^- = \frac{5}{8} CV_{ref}^2 \quad (2.60)$$

$$E_{2.2 \rightarrow 3.4} = E_{2.2 \rightarrow 3.4}^+ + E_{2.2 \rightarrow 3.4}^- = \frac{1}{8} CV_{ref}^2 \quad (2.61)$$

## 2.8.4 Comparação dos Esquemas estudados

Nesta análise comparativa, o esquema Convencional serve como referência face aos outros esquemas. Na Tabela 2.2, que foi baseada em [1], [5], os três esquemas de comutação estudados foram comparados consoante as suas diferenças. Esta tabela inclui a energia despendida dos esquemas em relação ao Convencional e devido a isso, este esquema tem uma energia de 100%.

A capacidade do DAC do esquema Monotónico e MCS é reduzida para metade em comparação com o Convencional, pois ambos asseguram uma determinação livre do bit mais significativo, MSB, permitindo assim que o condensador referente ao MSB não seja necessário na rede de condensadores do DAC. Assim, a área do DAC é economizada e como consequência leva a uma maior eficiência energética.

**Tabela 2.2: Comparação entre os três esquemas estudados**

	<b>Convencional</b>	<b>Monotónico</b>	<b>MCS</b>
<b>Energia</b>	100%	18,74%	12,48%
<b>Nº de Condensadores</b>	$2N+2$	$2N$	$2N$
<b>Capacidade Total do DAC</b>	$2^N$	$2^{(N-1)}$	$2^{(N-1)}$
<b>Tensão de Modo Comum</b>	Constante	Variável	Constante

Os três esquemas estudados, o que apresenta uma maior eficiência energética é o esquema MCS, pois este apenas consome 12,48% da energia que é consumida no esquema Convencional sem necessitar de aumentar o número de interruptores e de melhorar a complexidade lógica tornando-se assim o esquema mais eficiente. O esquema Monotónico também apresenta um consumo de energia reduzido, contudo, este esquema atinge esta economia de energia com o custo do aumento da complexidade digital.

Como o esquema MCS usa a tensão  $V_{cm}$ , esta permite manter a tensão de modo comum de  $V_x$  constante e de reduzir a quantidade de carga retirada de  $V_{ref}$ . Por outro lado, no esquema Monotónico este aspeto não acontece e, devido a isso, é mais sensível ao offset do Comparador [1].

Para diminuir a energia consumida diversos trabalhos foram realizados tais como [14], que reduz a energia consumida em 98,8% em relação ao esquema Convencional, e [2] que reduz em 93,4%.

## **2.9 DAC C-2C**

A arquitetura C-2C que está representada na Figura 2.13, é popular devido à área que ocupa, à velocidade de conversão elevada e à baixa energia consumida, podendo ser utilizada para tecnologias RFID [11], isto é identificação por rádio frequência. Contudo, este tipo de conversor apresenta um problema que são as capacidades parasitas presentes nos nós desta estrutura o que restringe a linearidade do conversor digital-analógico.

Uma das grandes vantagens que existe entre a arquitetura C-2C e o DAC pesado binariamente é que, neste, a maior razão que pode existir entre os condensadores é 2, assim sendo, o valor da capacidade desta estrutura do DAC aumenta

linearmente com o número de bits do conversor A/D. Consequentemente, a área que o C-2C ocupa é muito mais pequena em comparação com o DAC pesado binariamente. Para uma determinada resolução tem obviamente uma melhor velocidade de conversão em comparação com o DAC pesado binariamente. Por exemplo: para uma resolução de 3 bits o C-2C ocupa 64 vezes menos área em relação ao pesado binariamente sendo que, no trabalho desenvolvido em [11] foi desenvolvido um DAC C-2C de 3 bits para uma resolução de 9 bits pois tratava-se de um conversor cíclico.

Como já foi mencionado anteriormente, as capacidades parasitas presentes nos nós impedem que o C-2C apresente uma boa linearidade. A distribuição da capacidade parasita está representada na Figura 2.14, em que  $2C_p$  contém as capacidades parasitas da placa superior e inferior do condensador  $2C$ . Esta capacidade parasita da placa inferior é a que deteriora principalmente a linearidade do DAC, e a capacidade parasita da placa superior do condensador  $C$ . Esta é a principal causa da má linearidade deste tipo de DAC.

Para resolver este problema, diversos trabalhos foram desenvolvidos com um Pseudo C-2C [12],[20] e um FSV (*Floating Voltage Shield*) C-2C [10]. A arquitetura C-2C pode também ser utilizada numa arquitetura híbrida, podendo o DAC ser constituído por uma parte em C-2C e uma parte com um DAC Pesado Binariamente. Por exemplo, para uma resolução de 12 bits em [10] foi utilizado uma parte do DAC em C-2C de 9 bits e 3 bits do Pesado Binariamente, mantendo assim os benefícios que a arquitetura tem e fazendo com que esta apresente uma melhor linearidade e precisão permitindo, assim, uma resolução mais elevada.

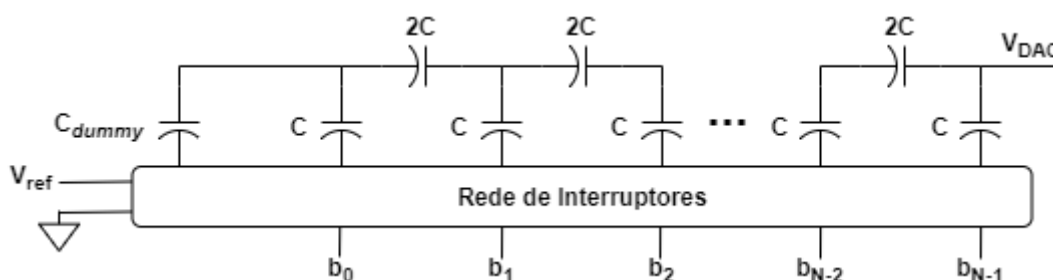


Figura 2.13: DAC com rede de condensadores C-2C

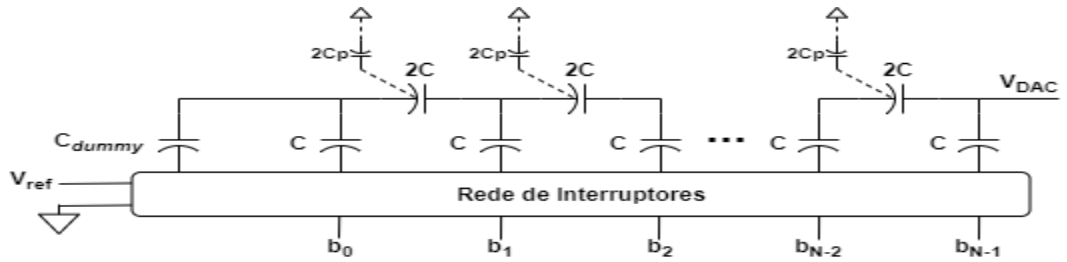


Figura 2.14: DAC C-2C com Capacidades Parasitas

### 2.9.1 Pseudo C-2C

O Pseudo C-2C foi proposto nos trabalhos desenvolvidos em [20] e [12], estando este modelo representado na Figura 2.15. Foi elaborado para tentar resolver o problema do modelo C-2C, ou seja, de melhorar a linearidade desse tipo de arquitetura. Para minimizar o efeito das capacidades parasitas presentes no DAC C-2C, foi proposto um algoritmo de forma a ajustar dos condensadores C-2C para que as capacidades parasitas ficassem balanceadas, a estrutura C-2C é substituída por uma C-2 $\alpha$ C.

Nesta estrutura C-2 $\alpha$ C, as capacidades que antes eram 2C passam a ser 2 $\alpha$ C, e as capacidades do condensador *dummy* e do condensador que representa o bit mais significativo que anteriormente era C, passam a ter o valor de capacidade  $\alpha$ C. A tensão de referência que está conectada ao bit mais significativo mantém-se ligada enquanto que para os restantes condensadores a tensão de referência seja também ajustada com um fator de  $\alpha$ . Com o ajuste feito a partir do coeficiente  $\alpha$ , o efeito das capacidades parasitas diminui.

Sabendo que  $\gamma = \frac{C_p}{C}$ , o coeficiente  $\alpha$  vai ser calculado com a fórmula matemática,  $\alpha = \frac{1}{1-2\gamma}$ , sendo assim o condensador *dummy* vai ser  $C_{dummy} = \frac{C}{1-2\gamma}$ .

Esta técnica apresentada por [12] e [20], não só mantém as vantagens do C-2C convencional como a área ocupada, a alta velocidade de conversão e uma baixa potência dissipada, mas também compensa efetivamente as capacidades parasitas presentes no convencional, fazendo com que a linearidade e a precisão do conversor D/A melhore significativamente.

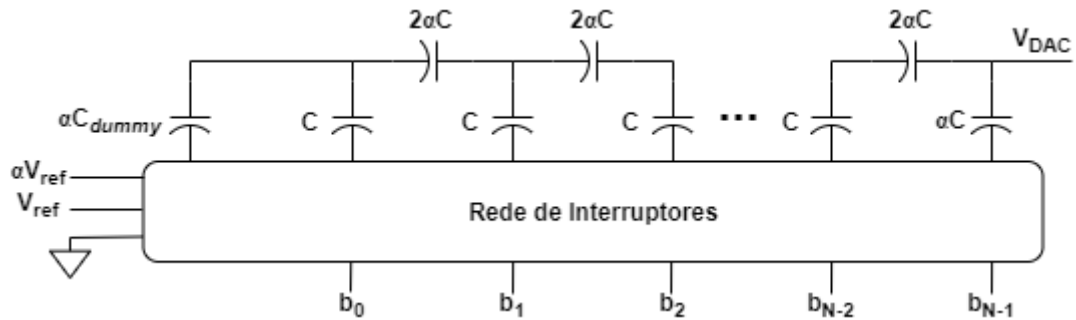


Figura 2.15: Pseudo DAC C-2C

### 2.9.2 FSV C-2C

A técnica de FVS foi desenvolvida em [10] e, através desta, o problema das capacidades parasitas na placa inferior dos condensadores C-2C é efetivamente reduzido ao usar o mecanismo de *Floating Voltage Shield*.

Esta técnica mantém as vantagens do C-2C convencional, permitindo que este melhore a sua linearidade e, como consequência, a resolução do DAC pode ser estendida até 8 bits.

O conceito proposto envolve proteger as placas inferiores da série de condensadores com o uso de tensões geradas a partir de uma rede de condensadores semelhante. As tensões geradas nos nós da rede secundária, que corresponde à placa inferior dos condensadores parasitas da rede principal, reduziu suficientemente a tensão nas placas das capacidades parasitas.

Contudo, a rede secundária sofre problemas ao nível de linearidade, mas no que diz respeito à rede principal esta técnica permitiu uma melhoria significativa ao nível da linearidade e precisão do ADC. A linearidade deste tipo de C-2C melhora em dez vezes face ao convencional, uma vez que é também usado um DAC híbrido com 9 bits de C-2C e 3 bits com um DAC pesado binariamente. Este ADC é utilizado para aplicações biomédicas.

## 2.10 Arquiteturas SAR relevantes [23]

### 2.10.1 “A 1.9μW 4.4fj/conversion-step 10b 1MS/S charge-redistribution ADC”

O SAR ADC projetado no artigo [24] utiliza um DAC com redistribuição de carga, um comparador dinâmico com 2 etapas e um controlador baseado numa linha de *delay* que é desenvolvido com a tecnologia CMOS. O DAC foi implementado com

condensadores pesados binariamente, e o efeito da redistribuição de carga tem um efeito reversível, ou seja, se o condensador do bit mais significativo for comutado de 1 para 0 a saída consegue voltar ao seu estado original. Este processo não contribui para o ruído da tensão de saída do DAC.

No ADC desenvolvido, a tensão de entrada é amostrada através de um só interruptor para a saída do DAC permitindo assim que se poupe energia e tempo. Este ADC diferencial utiliza transístores *NMOS* de *bootstrapped* para amostrar a tensão de entrada do DAC. A saída do DAC, que é diferencial vai apresentar duas tensões que vão ser utilizadas para a entrada do comparador.

O comparador utilizado foi baseado em um comparador dinâmico otimizado para ter uma velocidade de decisão alta. O sinal de S/H é derivado a partir de uma frequência de relógio externa e o controlador de *delay* é utilizado para gerar todos os sinais de controlo do algoritmo de aproximações sucessivas, que é implementado com inversores. Depois da conversão, é enviado um sinal de que esta acabou.

O conversor de *delay* e os controladores de sinais utilizam 44% da energia gasta por este ADC, o comparador gasta 31%, o DAC e o registo dos bits gastam cerca de 21% e os interruptores de S/H cerca de 4%.

### **2.10.2 “A 7-to-10b 0-to-4MS/s flexible SAR ADC with 6.5-to-16fJ/conversion-step”**

O trabalho desenvolvido em [6] teve como principal objetivo a projeção de um SAR ADC que permitisse obter uma boa eficiência energética para uma gama flexível de resolução (7 a 10 bits), possibilitando assim que este fosse utilizado para diversos tipos de aplicações. Para otimizar a eficiência energética para cada resolução e para implementar flexibilidade ao sistema, o DAC e o comparador são reconfiguráveis e o uso de um arquitetura assíncrona e circuitos dinâmicos permite que a potência consumida seja proporcional à taxa de amostragem.

Para obter esta flexibilidade, existem três caminhos que o DAC tem para este fazer a conversão, ou com os 2 bits mais significativos, ou o bit redundante, ou com o bit menos significativo que é opcional. Isto permite assim que a resolução possa ser de 7, 8, 9 ou 10 bits. Para poupar energia no DAC, os condensadores dos 2 bits mais significativos são desconectados quando se está perante uma resolução de 7 ou 8 bits e o bit redundante e o bit menos significativo mantêm-se conectados.

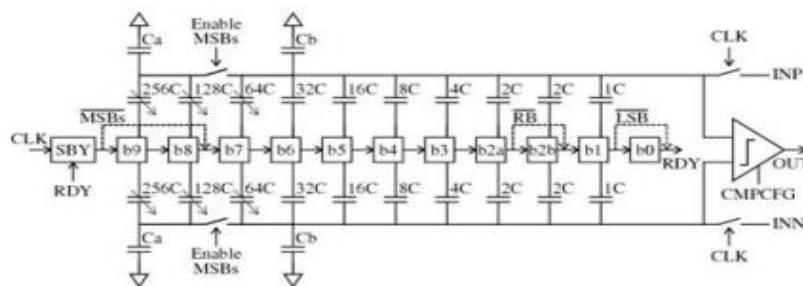
Para cada resolução a precisão do comparador pode ser programado, com um comparador de duas etapas, no que diz respeito à energia consumida por

comparação e ao ruído de referência à entrada por cada tipo de resolução. Para o modo de 7 e 8 bits é necessária uma redução de escala dos transístores nas duas etapas do comparador o que complica a sua projeção. Para melhorar a eficiência energética para uma resolução de 9 e 10 bits, é utilizada uma conversão em 2 passos permitida a partir do comparador reconfigurável. O processo adicional de conversão é implementado a partir de duas células, b2a e b2b, com condensadores idênticos no DAC.

A primeira parte do processo de conversão usa o mínimo de resolução possível que neste caso é de 8 bits, b9-b2a. A segunda parte vai ser baseada na resolução pretendida, b2b-b0. Para uma resolução de 10 bits vão ser necessário 11 bits de decisão, pois o bit redundante vai ser dividido em dois. Para uma conversão de 9 bits vai ser necessária implementar 10 conversões.

**Tabela 2.3: Modo de operação do SAR desenvolvido em [6]**

Modo	MSB	RB	LSB	Comparador	
				Parte 1 (b9-b2a)	Parte 2 (b2b-b0)
7 bits	OFF	OFF	OFF	8 bits	8 bits
8 bits	OFF	OFF	ON	8 bits	8 bits
9 bits	ON	ON	OFF	8 bits	9 bits
10 bits	ON	ON	ON	8 bits	10 bits



**Figura 2.16: Arquitetura desenvolvida em [6]**

### 2.10.3 “A 0.85fJ/conversion-step 10b 200kS/s subranging SAR ADC in 40nm CMOS”

Neste trabalho [13] é proposto um SAR ADC assíncrono implementado com tecnologia CMOS, 90nm. A tensão de alimentação é escalada (0.4 a 0.7V) para diferentes velocidades de forma a diminuir o consumo de energia do SAR, e um DAC CAS

(*charge average switching*) é desenvolvido para reduzir a energia que é gasta na comutação dos interruptores. Este SAR ADC é composto por um circuito S/H, *double-boosted*, um bloco de controlo de lógica SAR de 9 bits e um controlador CAS totalmente diferencial de 5 bits. A amostragem do sinal é feita na placa superior dos condensadores sem o condensador do bit mais significativo. O *double-boosted* S/H melhora a linearidade em comparação com uma implementação convencional.

A ideia principal do DAC CAS é gerar a tensão necessária para a placa superior do condensador através da operação *charge-averaging* entre a parte positiva do DAC principal e a parte negativa, contrariamente ao que acontece com o processo convencional. O método de *charge-averaging* é obtido ao desligar o interruptor que liga ao SAR e ligar os interruptores do controlo CAS. Os geradores de controlo do sinal são *Local-boosted* para a implementação do controlo CAS.

Para uma conversão de 4 bits de um DAC CAS, a rede de condensadores do DAC é dividida em duas partes iguais, DAC<sup>+</sup>-H/ DAC<sup>+</sup>-L e DAC<sup>-</sup>-H/ DAC<sup>-</sup>-L, durante a fase de amostragem estando estes condensadores ligados à tensão de referência ou a *ground*. Depois de realizada a primeira comparação, se  $V_{ip} > V_{in}$ , e, para o bit mais significativo igual a 1, a placa inferior do condensador 2C em DAC<sup>+</sup>-H é conectado de  $V_{ref}$  para *ground* e em DAC<sup>-</sup>-L de *ground* para  $V_{ref}$  gera, assim, uma tensão na placa superior de  $\frac{-V_{ref}}{2}$ . O processo é repetido para os restantes bits. Este modo de comutação diminui a energia consumida face ao processo convencional.

Para este SAR ADC de 10 bits com uma implementação de amostragem do sinal na placa superior dos condensadores, são necessários um total de 9 ciclos de conversão. A operação do CAS é aplicada para os 5 bits mais significativos e é ativada nos passos 2 e 6 da conversão. A aplicação deste tipo de técnica permitiu uma diminuição na energia consumida por parte do sistema, as operações de carregamento e descarregamento no CAS beneficiam, consequentemente, a operação dinâmica do circuito com a utilização de interruptores mais pequenos.

#### **2.10.4 “A 0.85fJ/conversion-step 10b 200kS/s subranging SAR ADC in 40nm CMOS”**

O SAR desenvolvido em [7] apresenta dois conversores SAR na sua implementação, o ADC *coarse* que determina os bits mais significativos e é utilizado um algoritmo de deteção e salto e, uma técnica nos interruptores que leva à redução da energia consumida no ADC *fine*. Durante a conversão do *coarse* é utilizado um

comparador de baixa potência e enquanto no *fine* é utilizado um de baixo ruído. Ambos os comparadores dinâmicos de duas etapas.

A arquitetura desenvolvida vai apresentar um SAR ADC *coarse* de 5 bits, um SAR ADC *fine* de 10 bits e um bloco de lógica do algoritmo deste conversor. Durante a fase de amostragem são utilizados 4 interruptores *bootstrap*, que fazem com que o sinal de entrada seja amostrado para o DAC do ADC *fine* e *coarse*.

Na fase de conversão o ADC *coarse* deteta o sinal de entrada e obtém os bits mais significativos  $b_1$  a  $b_5$ . Com o resultado destes bits o algoritmo de detecção e salto, presente no bloco de lógica de controle, faz os condensadores desnecessários para a conversão no DAC do ADC *fine* serem ignorados, em seguida este avalia e determina os restantes bits  $b_6$  a  $b_{11}$ . O DAC do *coarse* adota um método de divisão que coloca a tensão de modo comum do comparador constante, não afetando a linearidade do mesmo. Os condensadores dos bits menos significativos adotam um procedimento de comutação Monotónico para poupar energia.

Como os bits mais significativos controlam os maiores condensadores a maior parte da energia gasta acontece na determinação desses bits, uma vez que o algoritmo desenvolvido permitiu poupar a energia que é gasta desnecessariamente na comutação dos interruptores do DAC presente no *fine*. Isto resulta das decisões que acontecem no ADC *coarse*.

Se a diferença entre a tensão à saída do DAC *fine* e a tensão de entrada for pequena, então  $b_1$  e  $b_2$  vão ser 01 e 10, respetivamente. Assim sendo o condensador do bit mais significativo no DAC do *fine* é ignorado, sendo a sua avaliação desnecessária. Por outro lado, se a decisão for contrária, sendo  $b_1$  e  $b_2$  respetivamente 00 e 11 o condensador vai ser conectado à tensão e o mesmo princípio será aplicado para os restantes bits mais significativos do DAC do conversor *fine*.

Na comutação dos condensadores através da técnica utilizada os condensadores conseguem conectar-se simultaneamente, poupando assim na energia consumida por parte do sistema em comparação com o que acontece convencionalmente, isto é, se estes condensadores fossem conectados sucessivamente. Esta técnica é utilizada para os condensadores dos bits mais significativos do ADC *fine*.

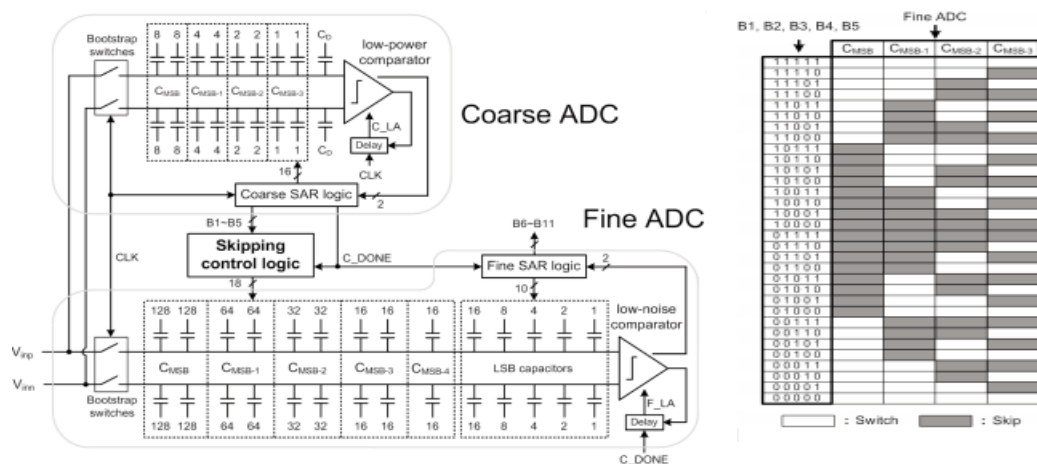


Figura 2.17: Arquitetura do ADC e Algoritmo realizados em [7]

### 2.10.5 “A 3.2fj/c.-s. 0.35V 10b 100KS/s SAR ADC in 90nm CMOS”

O diagrama de blocos do SAR ADC que é proposto em [25] é constituído por uma rede arbitrária de condensadores pesados binariamente, AWCA, por um circuito de bomba de carga, por um LRSS que trabalha em conjunto com o circuito de carga, por um comparador dinâmico, por um bloco de CLK que gera o sistema e um bloco de lógica SAR.

Quando inicialmente o circuito de CLK estiver ativo, o sinal de entrada vai ser amostrado para o circuito AWCA através do bloco LRSS, que permite um melhor desempenho para o trabalho com tensões relativamente baixas. A conversão começa com o CLK a 0 e que quando ativado vai acionar o comparador dinâmico. Através de uma técnica assíncrona o comparador avisa o circuito de CLK quando um bit é determinado e o primeiro ciclo de CLK é executado. O controlador SAR recebe o resultado do comparador e prepara o circuito AWCA para a próxima comparação. O processo é repetido até a conversão estar completa.

Uma técnica não binária, como é o caso do circuito AWCA, permite erros na comparação dos bits mais significativos, assim sendo os erros provenientes do comparador vão ter menos efeito no desempenho do circuito SAR. O conversor AWCA para uma resolução de 10 bits vai ter os condensadores com o peso de [224, 128, 72, 40, 23, 12, 6, 4, 2, 1], apresentando assim diferenças significativas face a um DAC Pesado Binariamente com um estilo de comutação convencional. Para executar as comparações este não necessita de um bloco de lógica complexo. Para a execução da conversão o AWCA utiliza a técnica de DCMLS, que permite aumentar a tensão  $V_{gs}$

dos transístores de entrada do comparador possibilitando com este trabalho com tensões baixas.

Durante a fase de amostragem, as placas inferiores dos condensadores são conectadas à tensão de entrada e as placas superiores são ligadas a  $V_{refn}$ . Na primeira fase, todos os condensadores, exceto o condensador referente ao bit mais significativo, se desconectam de  $V_{refn}$  e se ligam a  $V_{refp}$ . A tensão em modo comum à saída do DAC vai ser  $\frac{288}{512} V_{ref}$ ,  $V_{ref} = V_{refn} - V_{refp}$ , maior que a tensão em modo comum do sinal de entrada. Na fase 2, o AWCA associa a tensão entre  $C_{p+}$  e  $C_{p-}$  e como a tensão em  $C_{p+}$  é maior que em  $C_{p-}$ , o circuito muda o condensador do bit mais significativo de  $V_{refn}$  para  $V_{refp}$  e, neste,  $V_{ocm}$  vai ser maior  $\frac{400}{512} V_{ref}$  que  $V_{icm}$ . Para as fases restantes, o circuito AWCA é associado à maior tensão existente quer seja do lado positivo ou quer do negativo e como consequência muda os condensadores de  $V_{refp}$  a  $V_{refn}$ . A conversão prossegue e  $V_{ocm}$  é aproximadamente maior  $\frac{V_{ref}}{2}$  em relação  $V_{icm}$ , na última fase de conversão.

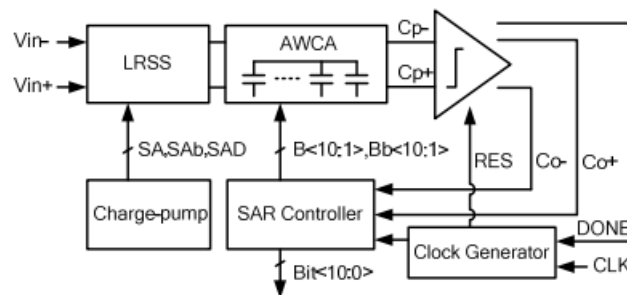


Figura 2.18: SAR com LRSS e AWCA proposto em [25]

### 2.10.6 “A 120nW 8b sub-ranging SAR ADC with signal-dependent charge recycling for biomedical applications”

No projeto desenvolvido em [15] foi proposto um SAR ADC *sub-ranging* que utiliza uma janela móvel e que guarda a tensão dos bits mais significativos da conversão anterior num condensador em série, permitindo assim que a informação sobre os bits mais significativos seja passada para os próximos ciclos de conversão. Esta técnica permite poupar energia desnecessária que é consumida por parte do DAC, comparador e o bloco de lógica SAR.

Após ser feita uma conversão para um ADC de  $n$  bits, vai ser criada uma janela *sub-ranging* de  $M$  bits que se baseia no resultado dessa mesma conversão. A próxima conversão começa com base nessa janela saltando assim os ciclos da conversão para  $M$  bits mais significativos. O SAR ADC desenvolvido é idêntico ao Convencional,

contudo, apresenta um condensador,  $C_{MSB}$ , colocado em série com o DAC capacitivo e antes do comparador, este é utilizado para armazenar a tensão correspondente aos m bits mais significativos,  $V_{MSB}$ .

A operação deste ADC consiste em 4 fases distintas. Na primeira fase, é realizada a configuração e a seleção da rede de condensadores de m bits com base nos bits mais significativos anteriores. Na segunda fase, os condensadores selecionados são conectados à tensão de referência para redistribuição de carga e a tensão dos M bits mais significativos é em seguida guardada no condensador  $C_{MSB}$ . Os restantes condensadores que não são selecionados são pré-carregados a  $V_{ref+} - V_{cm}$  durante a primeira fase. Depois de  $C_{MSB}$  estar estabelecido acontece a terceira fase onde o sinal de entrada é amostrado e as seguintes fases de conversão são idênticas às do Convencional, exceto para os bits menos significativos. Entra, assim, no domínio da quarta fase durante a qual a tensão à saída do DAC para a comparação realizada pelo comparador é dada pela equação,  $V_{comp} = V_{cm} - V_{in} + \left(\frac{C_{1,M}}{C_{T,M}} + \frac{C_{1,L}}{C_{T,N}}\right)(V_{ref+} - V_{ref-})$ ,  $C_{T,M}$  corresponde à capacidade da rede de condensadores de m bits e  $C_{T,N}$  à de n bits,  $C_{1,M}$  e  $C_{1,L}$  são a soma das capacidades ligadas à tensão de referência positiva durante a primeira fase e da conversão dos bits menos significativos, respetivamente. A tensão em  $C_{MSB}$  retorna sempre a  $V_{MSB}$  no fim da conversão, permitindo assim a reutilização dos bits mais significativos.

Na fase de conversão dos bits menos significativos, poderão existir capacidades parasitas que não permitem que haja uma boa linearidade no sistema de conversão. Para a resolução deste problema é colocado um condensador,  $C_{COR}$ , fazendo assim com que a conversão se torne imune às capacidades parasitas.

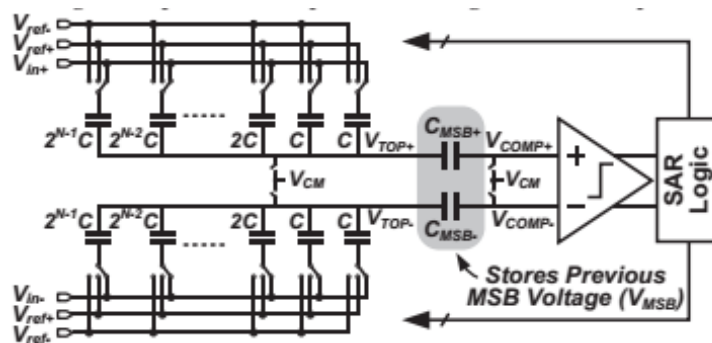


Figura 2.19: SAR ADC sub-ranging proposto em [15]

### 2.10.7 “A 0.2 - 8 MS/s 10b flexible SAR ADC achieving 0.35 - 2.5 fJ/conv-step and using self-quenched dynamic bias comparator”

O conversor SAR desenvolvido em [17] é flexível pois consegue obter eficiência energética devido ao facto de utilizar um comparador dinâmico de baixo ruído. Assim obtém um valor de ENOB constante, isola o comparador do conversor D/A durante o processo de amostragem prevenindo possíveis distorções durante esta fase, e usa um bloco de *delay self-triggered* de baixa potência.

O comparador utilizado no SAR ADC desenvolvido é um comparador dinâmico *self-quenched*, que apresenta um problema, mesmo depois da conversão estar feita o pré-amplificador continua a descarregar. No trabalho a partir do bloco de *delay* desenvolvido este desliga o comparador assim que a conversão termina evitando, deste modo uma possível dissipação de energia e fazendo com que a energia gasta diminua em metade neste projeto.

O *self-quenched*, em comparação com uma arquitetura de *delay* fixa, permite uma melhor otimização face ao anterior que durante a fase de amostragem coloca o CLK do comparador a 0. Durante a conversão este inicia a operação do comparador de n bits colocando CLK igual  $V_{DD}$  e quando o comparador chega a esse valor de tensão e o bit do presente ciclo de conversão é obtido e posto no bloco de registo, o valor de CLK é descarregado para *ground* e o comparador é redefinido.

Outra técnica utilizada nesta arquitetura é que as tensões diferenciais de entrada são comparadas antes do processo de amostragem. Isto depende do resultado o sinal de entrada, que vai ter uma gama de valores de 0 a  $\frac{V_{DD}}{2}$ , vai ser amostrado em  $C_{DAC-}$ . Se a decisão for contrária vai ter uma gama de valores de  $\frac{V_{DD}}{2}$  a  $V_{DD}$  sendo este amostrado em  $C_{DAC+}$ .

### 2.10.8 “A 0.44fJ/conversion-step 11b 600KS/s SAR ADC with semi-resting DAC”

Um conversor D/A *semi-resting* (SR) e um comparador *cascade-input* (CI) foram implementados no SAR desenvolvido em [16]. Este SAR de 11 bits é constituído por dois ADC de 10 bits (AD\_0 e AD\_1) que são controlados através de um controlador. Cada ADC é implementado com um DAC capacitivo de 9 bits, um comparador e um bloco com a lógica SAR. Para uma boa linearidade é utilizado interruptores *local-boosted* e *double-boosted* no circuito de *Sample and Hold*.

Quando o sinal é amostrado, o circuito pode apresentar dois diferentes cenários no caso  $V_{ip}-V_{in}>0$ , o bit mais significativo vai ter o valor lógico de 1 e como consequência um dos ADC implementados, que neste caso, vai ser desativado durante a conversão para poupar a energia consumida do sistema, que neste caso vai ser AD\_0. Se a decisão for contrária, então AD\_1 vai ser desativado e a conversão de 10 bits passa a ser executada em AD\_0. Para o caso de o bit mais significativo ser 1, as placas inferiores dos condensadores são conectadas umas às outras criando assim a tensão de  $V_{cm}$  sendo que, na fase de amostragem, as placas inferiores dos condensadores na parte positiva do DAC de AD\_1 estavam ligadas a  $V_{DD}$  e, na parte diferencial, a *ground*. Assim sendo, para a detecção do segundo bit mais significativo não é gasta qualquer tipo de energia por parte do DAC e a sua decisão depende  $V_{ip}-V_{in}> V_{DD}$ . A determinação dos restantes bits da conversão é obtida através de uma operação baseada em MCS, ou seja, comutando as placas inferiores dos condensadores de  $V_{cm}$  para  $V_{DD}$  ou *ground* consoante as decisões que existam ao longo da conversão.

Durante o processo de conversão para a obtenção dos bits de saída é utilizado um comparador *cascade-input* de baixa potência e ruído onde os transístores de entrada são redefinidos a  $V_{DD}$  para a inicialização. No que diz respeito ao processo de conversão, esses transístores de entrada são ativados sequencialmente consoante a tensão à saída do DAC.

A energia consumida deste SAR ADC tem uma distribuição de 4% para o circuito S/H, 16% no comparador, 30% no DAC e 50% no bloco de controlo digital.

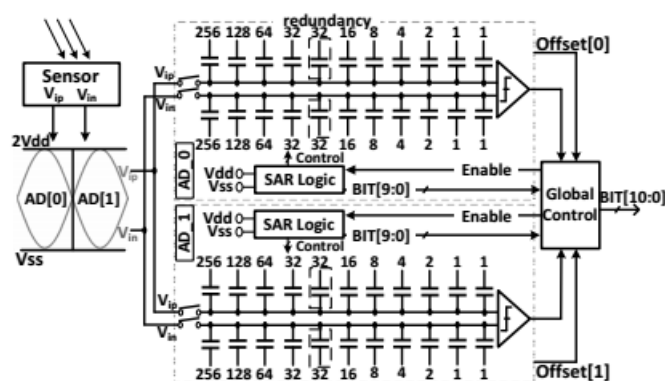


Figura 2.20: SAR ADC proposto em [16]

### 2.10.9 “A 1V 11f/Conversion-step 10bit 10MS/s asynchronous SAR ADC in 0.18 $\mu$ m CMOS”

O conceito de multi-comparador é utilizado no SAR desenvolvido em [26], permitindo reduzir a comutação desnecessária na rede de condensadores do DAC. Os 4

bits mais significativos são divididos em duas redes de condensadores que vão ter um procedimento de comutação Monotônico.

O sinal é amostrado nas placas superiores dos condensadores através de interruptores *bootstrapped*. Ao mesmo tempo os condensadores  $C_{1a}$  a  $C_{4a}$  são conectados a *ground* enquanto que os restantes são ligados à tensão de referência. Em seguida os comparadores, fazem a primeira comparação,  $C_{1b+}$  é conectado a *ground* e  $C_{1a}$  é ligado a  $V_{ref}$ , até serem definidos os 4 bits mais significativos o procedimento é Monotônico enquanto que para os restantes bits tem um processo de conversão Convencional.

Para ser feita a operação que permite a comutação desnecessária na rede de condensadores do DAC são utilizados dois comparadores *coarse* e um sub-DAC de 6 bits que gera uma tensão,  $V_r$ , variável. Esta é comparada à tensão de saída do DAC o que permite saber se está na zona de comutação ou de não comutação. Este mecanismo para uma melhor eficiência, é utilizado somente nos 4 bits mais significativos possibilitando, assim, uma melhor eficiência energética e reduzindo a potência dissipada do sistema. Os comparadores utilizados são dinâmicos e vão ser usados para os 4 primeiros bits.

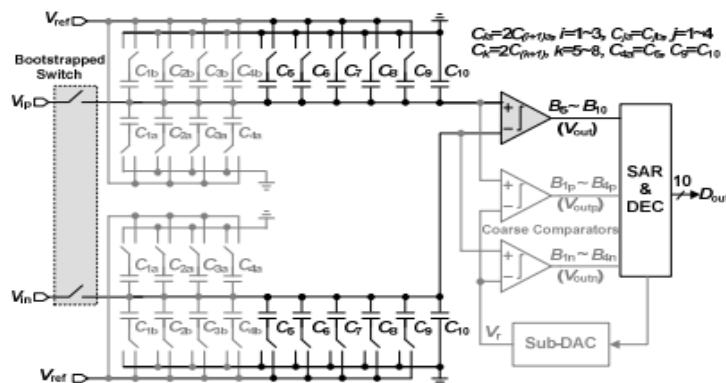


Figura 2.21: SAR ADC com multi-comparadores desenvolvido em [26]

### 2.10.10 Arquiteturas Híbridas

Em diversos trabalhos desenvolvidos têm sido construídas estruturas híbridas com diferentes tipos de conversores para aproveitar as virtudes de cada um, como por exemplo:

- SAR e Sigma Delta ADC desenvolvido em [27], [28].
- SAR ADC com Pipeline integrado [29], [30].
- SAR ADC com *Time Interleaving* [8], [31].

### 2.10.11 Análise Comparativa e Sumário

Na secção de trabalho 2.10.11 é elaborada a Tabela 2.4 que apresenta os resultados das arquiteturas SAR [6], [7], [13], [15]–[17], [24]–[26]. Na sua constituição, esta apresenta a tecnologia utilizada, a tensão de alimentação, a frequência de amostragem, a resolução, a área e a potência consumida das diferentes arquiteturas, tais como as métricas DNL, INL, ENOB, SNDR, SFDR, SNR, THD e FOM. A partir destes resultados, é feita uma análise comparativa, que serve para definir os melhores trabalhos que foram desenvolvidos entre os conversores referidos anteriormente.

No que diz respeito a um conversor SAR, os resultados que apresentam um maior relevo para a sua análise são a potência consumida por parte do ADC, que quanto menor for mais eficiente será. Ao nível da potência consumida destacam-se os trabalhos [7], [15], [17]. No que diz respeito à área, neste capítulo destacam-se as arquiteturas [7], [24], [25] e, por último, a métrica FOM que, quanto menor for, melhor será o desempenho da arquitetura. Os trabalhos desenvolvidos que apresentam os melhores FOM são [7], [16], [17]. De um ponto de vista geral, as arquiteturas que apresentaram os melhores resultados são as que apresentaram os melhores FOM, [7], [16], [17].

No trabalho realizado em [7] este utiliza dois conversores SAR, o ADC SAR *Coarse* de 5 bits que determina os 5 bits mais significativos do SAR ADC *Fine* que tem 10 bits. Este processo é realizado através de um bloco de lógica, é ainda utilizada uma técnica nos interruptores que leva à redução da potência consumida, um comparador dinâmico de baixa potência e outro de baixo ruído.

Na arquitetura implementada em [17] é utilizado um comparador dinâmico *self-quenched* e um bloco de *delay self-triggered* de baixa potência que desliga o comparador assim que a conversão é terminada evitando assim dissipação de energia. Neste projeto é ainda realizada uma técnica que permite com que as tensões de entrada sejam comparadas antes do processo de amostragem.

Em [16] é implementado um comparador de *cascode-input* de baixa potência e ruído. Este SAR com 11 bits é constituído por dois conversores A/D de 10 bits em que cada um tem na sua composição um DAC capacitivo de 9 bits, um comparador, um bloco com lógica SAR e interruptores *local-boosted* e *double-boosted* no circuito de S/H cujos conversores são controlados por um controlador.

**Tabela 2.4: Resultados das arquiteturas SAR relevantes**

	[24]	[6]	[13]	[7]	[25]	[15]	[17]	[16]	[26]
<b>Tecnologia (nm)</b>	65	40	90	40	90	180	65	90	180
<b>Tensão de alimentação (V)</b>	1	1,1	0,4	0,45	0,35	0,6	0,7	0,3	1
<b>Frequência de amostragem (MS/s)</b>	1	4	0,5	0,2	0,1	0,1	0,2	0,6	10
<b>Resolução (bits)</b>	10	10	10	10	10	8	10	11	10
<b>DNL (LSB)</b>	0,5	0,27	0,32	0,44	0,2	0,3	0,8	0,63	0,34
<b>INL (LSB)</b>	2,2	0,42	0,62	0,45	0,6	0,6	1	0,72	0,38
<b>Potência Consumida (nW)</b>	1900	17440	500	84	170	120	38	187	98000
<b>ENOB</b>	8	9,4	8,72	8,95		7,5	9,07	9,46	9,83
<b>Área (mm<sup>2</sup>)</b>	0,0275	0,047	0,042	0,0065	0,03	0,12	0,04	0,035	0,086
<b>FOM (fJ/conv-step)</b>	4,4	6,5	2,37	0,85	3,2	6,6	0,35	0,44	11
<b>SNDR (DB)</b>	54,4	56	54,3	55,6	56,3	46,9	56,4	58,71	60,97
<b>SFDR (DB)</b>		61	82,61	76,3	71	63,8	66	73,35	79,4
<b>SNR (DB)</b>	55,6			55,8	57				
<b>THD</b>	61,1			71,3	64,5				

# 3

## 3 Análise DAC C-2C

### 3.1 DAC C-2C

O propósito desta parte do trabalho é o estudo teórico e prático do DAC C-2C através de simulações de um modelo de alto nível desenvolvido em MATLAB e, eletronicamente, com tecnologia CMOS a partir do simulador *Cadence Virtuoso*.

Primeiramente foi feito o desenvolvimento teórico de uma arquitetura em *Single-ended* do DAC C-2C. Este foi analisado ao nível do domínio da tensão sendo que, a partir deste, foi possível obter a equação geral para o cálculo das tensões existentes no DAC, ou seja, sendo uma delas a tensão utilizada pelo comparador para a decisão do código binário final, as restantes são as tensões presentes nos outros nós do conversor.

Seguidamente foi desenvolvido um modelo de alto nível de um ADC com DAC C-2C totalmente diferencial e com um estilo de comutação em *V<sub>cm</sub>-Based*, que se revelou ser o melhor estilo de comutação como foi comprovado com o conteúdo no capítulo 2. Este ponto do trabalho divide-se em três partes distintas:

- ADC com DAC C-2C ideal;
- Efeito das Capacidades Parasitas na linearidade do sistema;
- DAC com Condensadores Reais;

Por último, e de modo a validar o sistema, é feita uma análise comparativa dos resultados obtidos entre as simulações do modelo de alto nível em MATLAB com as obtidas a partir do uso de tecnologia CMOS.

## 3.2 DAC C-2C *Single-ended*

### 3.2.1 Análise Teórica

A arquitetura proposta para uma primeira análise do conversor C-2C, está representada na Figura 3.1. A estrutura apresentada é uma versão em *Single-ended*, a partir da qual, é analisado teoricamente o funcionamento ao nível da tensão à saída do DAC, utilizada pelo comparador na decisão dos bits.

O DAC C-2C *Single-ended* exibido na Figura 3.1, tem uma resolução de 4 bits e um estilo de comutação parecido com o Convencional, que foi descrito no capítulo 2. A maior diferença existente no DAC C-2C para o DAC Pesado Binariamente é que este apresenta, para 4 bits, quatro nós de tensão sendo que  $V_{x1}$  representa a tensão à saída do conversor.

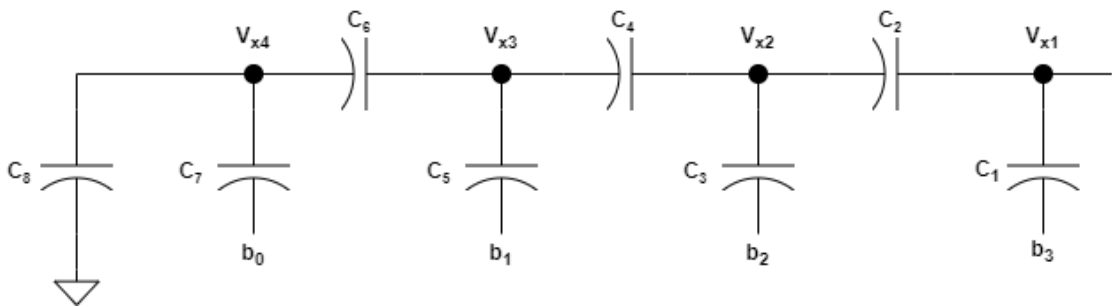


Figura 3.1: DAC C-2C *Single-ended*

Com base no princípio de conservação de carga foi desenvolvido um sistema de equações que permite calcular as tensões existentes no DAC de uma forma generalizada. Este processo é importante para o desenvolvimento de simulações através do *software* MATLAB a fim de validar o funcionamento do modelo C-2C e de um modelo de alto nível.

As equações (3.2), (3.3), (3.4) e (3.5), representam as cargas nos condensadores conectados a cada nó de tensão. A fase  $f1$  corresponde à fase anterior da  $f2$ , que corresponde à fase atual, isto é, à carga atual no condensador. Por exemplo, para a decisão do primeiro bit o condensador correspondente ao bit mais significativo vai ser conectado à tensão de referência. Se a decisão lógica for 1 este mantém-se ligado a  $V_{ref}$  e a *ground* se a decisão for contrária, neste caso, a fase  $f1$  coincide com a amostragem do sinal de entrada.

$$Q^{f1} = Q^{f2} \quad (3.1)$$

$$\begin{aligned}
& (V_{x_1}^{f1} - b_3^{f1})C_1 + (V_{x_1}^{f1} - V_{x_2}^{f1})C_2 = \\
& = (V_{x_1}^{f2} - b_3^{f2})C_1 + (V_{x_1}^{f2} - V_{x_2}^{f2})C_2
\end{aligned} \tag{3.2}$$

$$\begin{aligned}
& (V_{x_2}^{f1} - b_2^{f1})C_3 + (V_{x_2}^{f1} - V_{x_1}^{f1})C_2 + (V_{x_2}^{f1} - V_{x_3}^{f1})C_4 = \\
& = (V_{x_2}^{f2} - b_2^{f2})C_3 + (V_{x_2}^{f2} - V_{x_1}^{f2})C_2 + (V_{x_2}^{f2} - V_{x_3}^{f2})C_4
\end{aligned} \tag{3.3}$$

$$\begin{aligned}
& (V_{x_3}^{f1} - b_1^{f1})C_5 + (V_{x_3}^{f1} - V_{x_2}^{f1})C_4 + (V_{x_3}^{f1} - V_{x_4}^{f1})C_6 = \\
& = (V_{x_3}^{f2} - b_1^{f2})C_5 + (V_{x_3}^{f2} - V_{x_2}^{f2})C_4 + (V_{x_3}^{f2} - V_{x_4}^{f2})C_6
\end{aligned} \tag{3.4}$$

$$\begin{aligned}
& (V_{x_4}^{f1} - b_0^{f1})C_7 + (V_{x_4}^{f1} - V_{x_3}^{f1})C_6 + (V_{x_4}^{f1} - \text{ground})C_8 = \\
& = (V_{x_4}^{f2} - b_0^{f2})C_7 + (V_{x_4}^{f2} - V_{x_3}^{f2})C_6 + (V_{x_4}^{f2} - \text{ground})C_8
\end{aligned} \tag{3.5}$$

A partir das equações (3.2), (3.3), (3.4) e (3.5) o seu desenvolvimento é executado respetivamente para as seguintes equações (3.6), (3.7), (3.8) e (3.9). Considerando que o valor de  $b_i$  corresponde ao valor da tensão de referência ou *ground*, o que depende da decisão dos bits.

$$\begin{aligned}
& (\mathbf{C}_1 + \mathbf{C}_2)V_{x_1}^{f1} + (-\mathbf{C}_2)V_{x_2}^{f1} = \\
& = (\mathbf{C}_1 + \mathbf{C}_2)V_{x_1}^{f2} + (-\mathbf{C}_2)V_{x_2}^{f2} + \Delta b_3 C_1
\end{aligned} \tag{3.6}$$

$$\begin{aligned}
& (-\mathbf{C}_2)V_{x_1}^{f1} + (\mathbf{C}_2 + \mathbf{C}_3 + \mathbf{C}_4)V_{x_2}^{f1} + (-\mathbf{C}_4)V_{x_3}^{f1} = \\
& = (-\mathbf{C}_2)V_{x_1}^{f2} + (\mathbf{C}_2 + \mathbf{C}_3 + \mathbf{C}_4)V_{x_2}^{f2} + (-\mathbf{C}_4)V_{x_3}^{f2} + \Delta b_2 C_3
\end{aligned} \tag{3.7}$$

$$\begin{aligned}
& (-\mathbf{C}_4)V_{x_2}^{f1} + (\mathbf{C}_4 + \mathbf{C}_5 + \mathbf{C}_6)V_{x_3}^{f1} + (-\mathbf{C}_6)V_{x_4}^{f1} = \\
& = (-\mathbf{C}_4)V_{x_2}^{f2} + (\mathbf{C}_4 + \mathbf{C}_5 + \mathbf{C}_6)V_{x_3}^{f2} + (-\mathbf{C}_6)V_{x_4}^{f2} + \Delta b_1 C_5
\end{aligned} \tag{3.8}$$

$$\begin{aligned}
& (-C_6)V_{x_3}^{f1} + (C_6 + C_7 + C_8)V_{x_4}^{f1} = \\
& = (-C_6)V_{x_3}^{f2} + (C_6 + C_7 + C_8)V_{x_4}^{f2} + \Delta b_0 C_7
\end{aligned} \tag{3.9}$$

Com base nas equações (3.6), (3.7), (3.8) e (3.9) verifica-se a existência de uma sequência entre as capacidades dos condensadores e as tensões correspondentes, quer na fase 1 quer na fase 2. Como consequência, foi construída uma matriz condizente com o produto das capacidades e das tensões dos nós do DAC. Esta Matriz está expressa pela Equação (3.10).

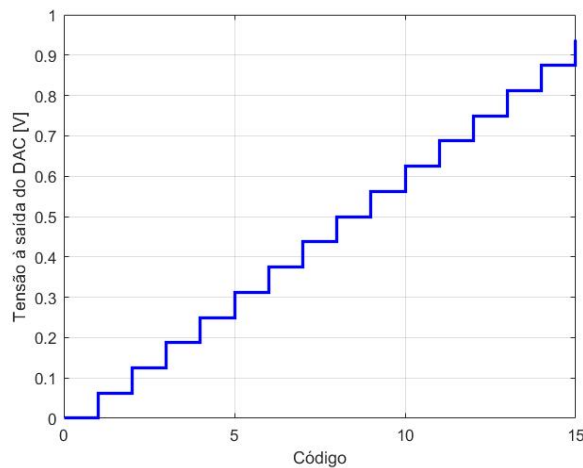
$$M_C = \begin{bmatrix} (C_1 + C_2) & (-C_2) & 0 & 0 \\ (-C_2) & (C_2 + C_3 + C_4) & (-C_4) & 0 \\ 0 & (-C_4) & (C_4 + C_5 + C_6) & (-C_6) \\ 0 & 0 & (-C_6) & (C_6 + C_7 + C_8) \end{bmatrix} \tag{3.10}$$

No que diz respeito a um DAC ideal a Matriz é coincidente com a equação (3.11).

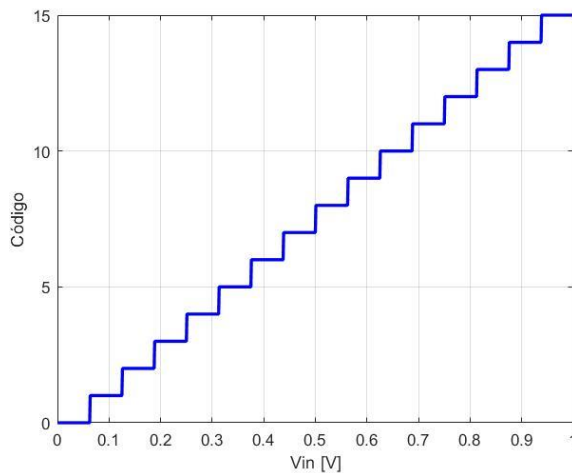
$$M_C = \begin{bmatrix} 3C & -2C & 0 & 0 \\ -2C & 5C & -2C & 0 \\ 0 & -2C & 5C & -2C \\ 0 & 0 & -2C & 4C \end{bmatrix} \tag{3.11}$$

Com a Matriz obtida em (3.10) é possível construir a equação geral para obtenção da tensão em cada nó existente no DAC C-2C. A equação geral é representada pela equação (3.12).  $C_k$  representa o valor da capacidade do condensador conectado ao bit que está a ser decidido,  $\Delta b_i$  corresponde à variação da tensão entre a fase 1 e fase 2 do bit respetivo e  $(M_C)^{-1}$  é o resultante do inverso da matriz em (3.10).  $\overrightarrow{V_{x_j}}$  é o vetor das tensões em cada nó presente no DAC C-2C na fase respetiva.

$$M_C \overrightarrow{V_{x_j}^{f1}} = M_C \overrightarrow{V_{x_j}^{f2}} + \Delta b_i C_k \Leftrightarrow \overrightarrow{V_{x_j}^{f2}} = \overrightarrow{V_{x_j}^{f1}} + \Delta b_i C_k (M_C)^{-1} \tag{3.12}$$



**Figura 3.2:** A tensão de saída do DAC C-2C *Single-ended* em função do código binário



**Figura 3.3:** Processo de conversão ADC com DAC C-2C *Single-ended* para diferentes valores de tensão de entrada

A Figura 3.2 apresenta o funcionamento do DAC. Dado um determinado código é obtida a saída do DAC. Para o código 0 os 4 condensadores do DAC são conectados a *ground* e como consequência é obtida uma tensão final de 0 V. Para o código 15, assim sendo, 1111, os 4 condensadores são conectados à tensão de referência, que nesta análise tem um valor de 1 V.

A Figura 3.3 representa a função de transferência do ADC com DAC *Single-ended*. Para um determinado valor de tensão de entrada é obtido o código respectivo.

Posto isto, é validada a equação (3.12), pois esta serve como base na implementação do modelo de alto nível construído em MATLAB. Na secção seguinte é feito um exemplo prático com o uso da equação, contudo, é importante referir que é utilizada para um estilo de comutação MCS. A forma de implementação em MATLAB entre o estilo Convencional e MCS é logicamente diferente.

### 3.3 ADC com DAC C-2C Diferencial

Foi demonstrado na secção 3.2 o funcionamento do DAC C-2C *Single-ended* ao nível do domínio da tensão desenvolvidas pelo o DAC.

Na presente secção é desenvolvida uma arquitetura de alto nível totalmente diferencial, seguindo a metodologia utilizada no início do capítulo 3. Para validar a arquitetura proposta, são executadas simulações de MATLAB, sendo os resultados desta operação comprovados posteriormente a partir de implementação de tecnologia CMOS.

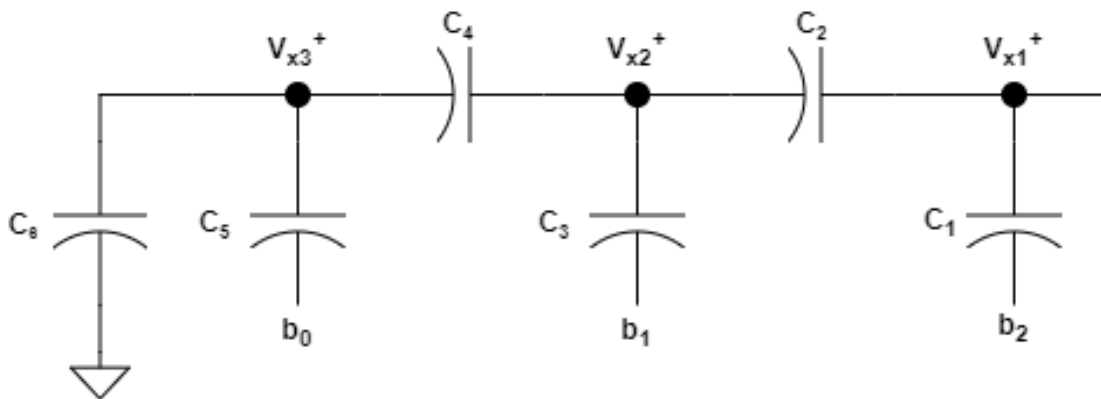


Figura 3.4: Parte positiva do DAC C-2C Diferencial

Na Figura 3.4 está representado o DAC C-2C diferencial com um estilo de comutação  $V_{cm}$ -Based estudado no capítulo 2. Este modelo é utilizado na obtenção dos resultados presentes nesta parte. O ADC é avaliado para uma resolução de 4 e 10 bits para diferentes estudos. O primeiro diz respeito aos resultados com um DAC C-2C diferencial ideal, o segundo serve para verificar o efeito que as capacidades parasitas têm neste tipo de DAC e o último é um modelo com condensadores com *mismatch error* associado.

#### 3.3.1 ADC com DAC C-2C ideal

No segmento 3.3.1 é feita uma análise da conversão de um ADC com DAC C-2C totalmente diferencial, com condensadores ideais e um estilo de comutação MCS.

Como referido no capítulo 2, o bit mais significativo é obtido a partir da comparação direta entre as duas tensões de entrada, uma no lado positivo e outra no negativo do DAC,  $V_{in+}$  e  $V_{in-}$ . A Figura 3.4 onde é exibido o DAC, em comparação com o DAC em *Single-ended*, apresenta menos um condensador para a decisão do bit, conseqüentemente, menos um condensador com a capacidade  $C$  e outro de  $2C$ . Assim, o tamanho da matriz de condensadores desenvolvida na equação (3.10) vai ter

as dimensões de  $n_{\text{bits}}-1$  por  $n_{\text{bits}}-1$  em vez de  $n_{\text{bits}}$  por  $n_{\text{bits}}$ . A equação (3.13) representa a matriz dos condensadores da parte diferencial positiva do DAC para um estilo de comutação em *V<sub>cm</sub>-Based* e, como se trata de um DAC ideal, do seu desenvolvimento resulta a equação (3.4). Para este caso a matriz ideal é igual tanto para a parte positiva como para a negativa do DAC pois, como os condensadores não têm um erro associado, o seu valor unitário é o mesmo com a capacidade  $C$  e  $2C$ .

$$M_C = \begin{bmatrix} (C_1 + C_2) & (-C_2) & 0 \\ (-C_2) & (C_2 + C_3 + C_4) & (-C_4) \\ 0 & (-C_4) & (C_4 + C_5 + C_6) \end{bmatrix} \quad (3.13)$$

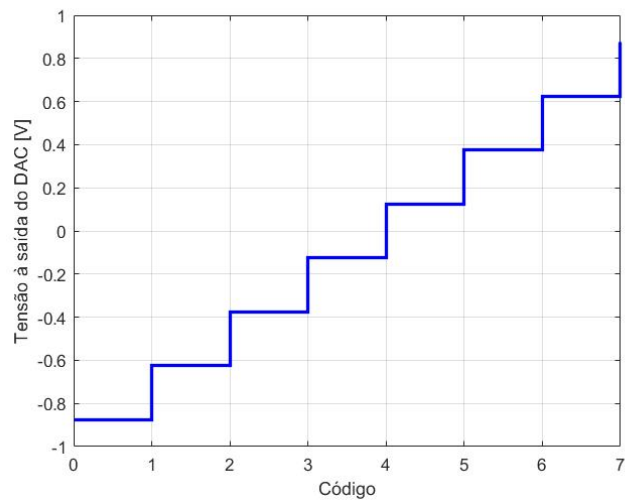
$$M_C = \begin{bmatrix} 3C & -2C & 0 \\ -2C & 5C & -2C \\ 0 & -2C & 4C \end{bmatrix} \quad (3.14)$$

A matriz inversa está expressa na equação (3.15).

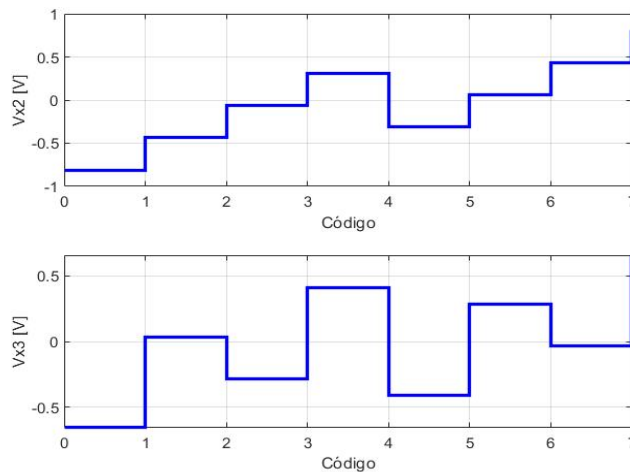
$$(M_C)^{-1} = \begin{bmatrix} \frac{1}{2C} & \frac{1}{4C} & \frac{1}{8C} \\ \frac{1}{4C} & \frac{3}{8C} & \frac{3}{16C} \\ \frac{1}{8C} & \frac{3}{16C} & \frac{11}{32C} \end{bmatrix} \quad (3.15)$$

Inicialmente, foi feito um estudo ao nível do próprio DAC para diferentes valores de código, a fim de validar o modelo de alto nível do conversor. A Figura 3.5 apresenta somente 8 tipos de código para uma resolução de 4 bits do ADC uma vez que o DAC apresenta três condensadores para os bits de decisão perante um estilo de comutação MCS, ou seja, 3 bits.

Posto isto, para o código 0 os três condensadores do lado negativo do DAC são conectados a *ground* e os do lado positivo são conectados à tensão de referência, para o código 7 o inverso acontece. Para esta análise não foi tida em conta a fase de amostragem e os resultados foram obtidos para uma tensão de referência de 1 V. A Figura 3.6 apresenta a tensão nos restantes nós do conversor para os diferentes códigos.



**Figura 3.5: Tensão de saída do DAC diferencial em função do código**



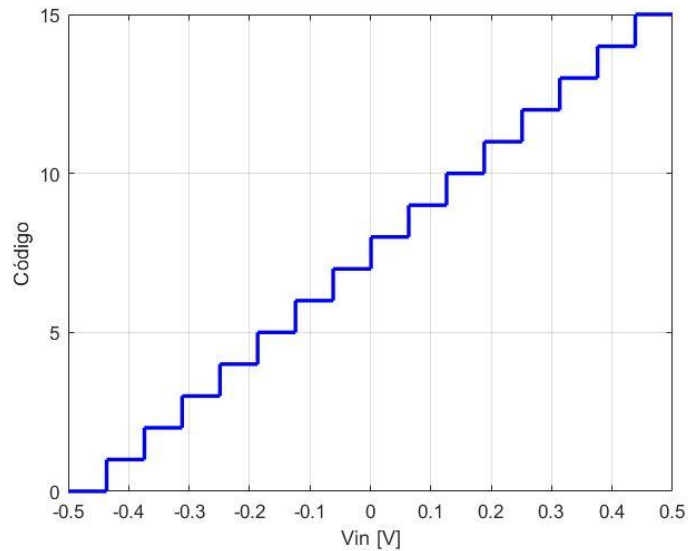
**Figura 3.6: Tensão do nó  $V_{x2}$  e  $V_{x3}$  do DAC diferencial em função do código**

Depois de verificado as tensões ao nível do DAC é necessário analisar o funcionamento do ADC. A Figura 3.7 representa a função do ADC, isto é, um gráfico da tensão de entrada em função do código de saída do próprio conversor que essa tensão inicial produz.

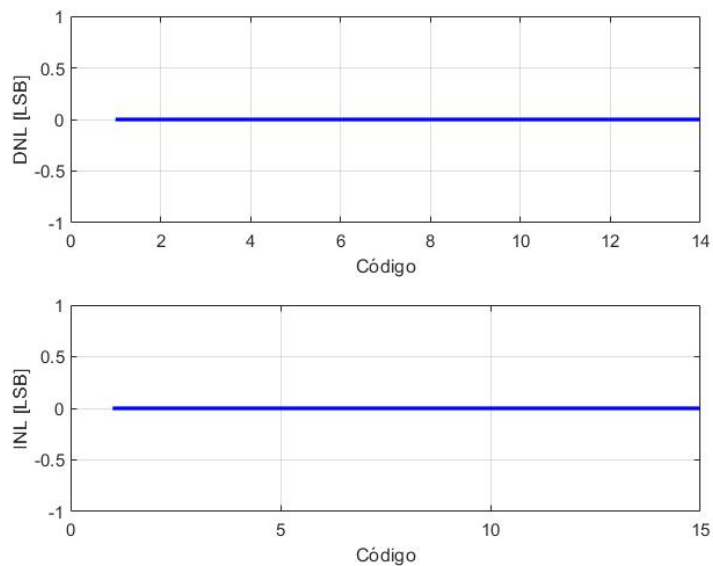
Como é um ADC ideal verifica-se que não existem erros de transição. Assim, a função é constante e linear. Posto isto, não existem erros de linearidade. Consequentemente DNL e INL são iguais a 0 LSB e estes estão representados na Figura 3.8.

Na fase de amostragem deste estudo, a tensão de entrada é amostrada no primeiro nó do DAC diferencial enquanto que os restantes nós são conectados à tensão de  $V_{cm}$ , a 0,5 V.

Para a análise da Figura 3.7, é obtido o código de saída do ADC para uma determinada tensão de entrada, que varia entre  $-\frac{V_{ref}}{2}$  e  $\frac{V_{ref}}{2}$ , sendo a tensão de referência igual a 1 V. Para a tensão de entrada do lado positivo do DAC, esta é igual a  $V_{cm} + V_{in}$  e enquanto na parte negativa é igual a  $V_{cm} - V_{in}$ .

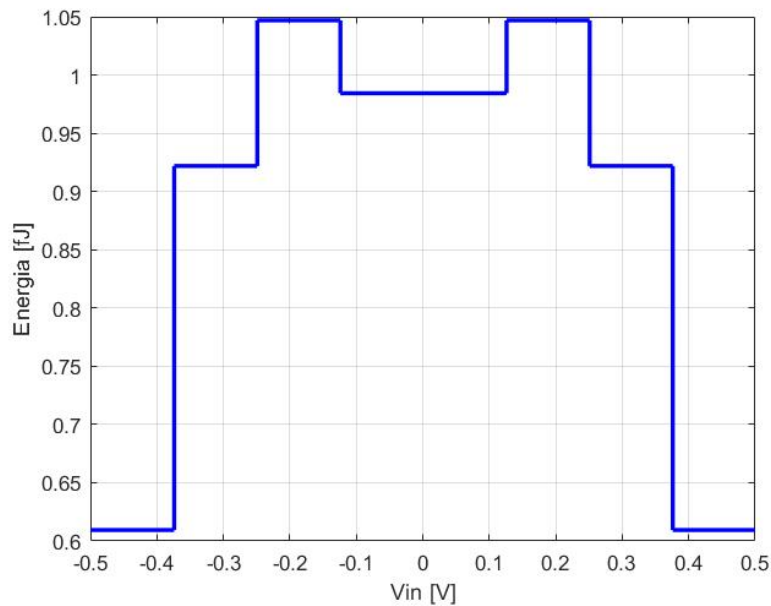


**Figura 3.7: Processo de conversão do ADC com DAC C-2C ideal e diferencial**



**Figura 3.8: DNL/INL para um DAC C-2C ideal e diferencial**

A Figura 3.9 apresenta a energia total despendida no processo de conversão consoante a tensão de entrada e pode-se verificar que esta é a mesma para  $V_{in}$  e para o seu valor inverso. Nesta análise o valor unitário da capacidade dos condensadores utilizado é de 1fF.



**Figura 3.9: Energia total despendida no processo de conversão no ADC com DAC C-2C ideal e diferencial**

Por último, nesta secção do trabalho é exibida a implementação do comportamento do conversor analógico-digital com DAC C-2C diferencial, quando usado um estilo de comutação MCS.

Este comportamento resulta de diferentes valores de tensão de entrada no DAC do lado positivo e no negativo, partindo destas tensões é obtida a palavra binária final.

A Figura 3.10 retrata esse funcionamento do ADC. A linha azul do gráfico representa a tensão de saída do DAC “positivo” e a linha laranja apresenta a tensão de saída do “negativo”. Estas tensões são comparadas através do comparador durante os diferentes ciclos de conversão. Para um ADC de 4 bits existem 4 ciclos de conversão e de comparação. Se a tensão de saída do DAC+ for maior que a da do DAC- então o bit referente a esse ciclo de conversão tem o valor lógico de 1 e tem o valor de 0 se for o contrário, como é um estilo de comutação MCS o condensador da parte positiva do DAC é descarregado para *ground* enquanto que o da parte negativa o corresponde é carregado a  $V_{ref}$ , sendo o seu valor de 1 V. Este procedimento é exposto no capítulo 2.

A Figura 3.11 apresenta a energia total que é despendida para os diferentes cenários reproduzidos na Figura 3.10. Os resultados foram obtidos para uma capacidade de 1 fF nos condensadores.

Com o objetivo de validar os resultados obtidos a partir do modelo de alto nível programado através do software MATLAB, o procedimento teórico na obtenção das tensões de saída do DAC. Estas são calculadas através da equação (3.12) e pela matriz inversa obtida em (3.15), para o gráfico onde resulta o código binário final 1111. Na secção 3.4 este modelo é validado a partir da implementação CMOS.

$$\overrightarrow{V_{x_j}^{f2}} = \overrightarrow{V_{x_j}^{f1}} + \Delta b_i C_k (M_C)^{-1} \quad (3.16)$$

Para o caso em análise o sinal de entrada é amostrado, na parte positiva do DAC com uma tensão de 1 V e, no lado inverso, com uma tensão de 0 V. Os restantes nós do DAC são carregados com a tensão de  $V_{cm}$ , a 0,5 V, na fase de amostragem. No primeiro ciclo de conversão é feita a comparação direta entre os dois sinais de entrada e, com  $V_{in+} > V_{in-}$  o bit mais significativo tem o valor lógico de 1. Neste primeiro ciclo não existe energia despendida. Deste modo, o condensador referente ao MSB do DAC vai ser carregado a  $V_{ref}$  na parte negativa e a *ground* na parte positiva, sendo que os restantes condensadores se mantêm conectados a  $V_{cm}$ .

A equação (3.19) representa a tensão de saída da parte positiva do DAC e a equação (3.18) para o seu inverso, que derivam da equação (3.17). A energia despendida no segundo ciclo de conversão está expressa pela equação (3.20), é de referir que só a parte negativa do DAC vai despende energia derivada da tensão de referência.

$$V_{x_{12}}^{f2} = V_{x_{12}}^{f1} + \Delta b_2 C (M_C)_{(1,1)}^{-1} \quad (3.17)$$

$$V_{x_{12}}^{f2+} = V_{in+} + (0 - V_{cm}) C \frac{1}{2C} = \frac{3}{4} V_{ref} = \frac{3}{4} V \quad (3.18)$$

$$V_{x_{12}}^{f2-} = V_{in-} + (V_{ref} - V_{cm}) C \frac{1}{2C} = \frac{1}{4} V_{ref} = \frac{1}{4} V \quad (3.19)$$

$$\begin{aligned} E_{1 \rightarrow 2} &= -V_{ref} \left( C \left[ (V_{x_{12}}^{f2-} - V_{ref}) - (V_{in-} - V_{cm}) \right] \right) = \frac{1}{4} C V_{ref}^2 \\ &= \frac{1}{4} fJ \end{aligned} \quad (3.20)$$

As restantes tensões existentes nos nós do DAC são facilmente calculadas através da equação (3.21) para o nó 2, e da equação (3.22) para o nó 3 relativamente ao segundo ciclo de conversão.

$$V_{x_{22}}^{f2} = V_{x_{22}}^{f1} + \Delta b_2 C (M_C)_{(2,1)}^{-1} \quad (3.21)$$

$$V_{x_{32}}^{f2} = V_{x_{32}}^{f1} + \Delta b_2 C (M_C)_{(3,1)}^{-1} \quad (3.22)$$

Como  $V_{x_{12}}^{f2^+} > V_{x_{12}}^{f2^-}$  então o valor lógico do segundo bit mais significativo vai ser 1. Consequentemente o processo descrito anteriormente é repetido, isto é, o condensador seguinte do lado negativo do DAC é conectado a  $V_{ref}$  e o positivo a *ground*. No terceiro ciclo de conversão é encontrado o terceiro bit da palavra binária final. A equação (3.23) representa a equação geral para a tensão de saída do DAC nesta fase. A equação (3.24) é a tensão de saída do DAC na parte positiva e a negativa é obtida pela equação (3.31). A energia despendida no processo de conversão do ciclo 2 para o 3 é calculada pela equação (3.34). A tensão da fase 1 neste ciclo corresponde à tensão da fase 2 do ciclo anterior. A tensão  $V_{x_{22}}^{f2^-}$  tem o valor de  $\frac{5}{8}V_{ref}$ , sendo que esta é calculada neste ciclo pela equação (3.32) e  $V_{x_{32}}^{f2^-}$  é igual a  $\frac{9}{16}V_{ref}$  e para este ciclo é obtida pela equação (3.27), para o lado positivo o processo é idêntico, sendo a diferença em  $\Delta b_1$ .

$$V_{x_{13}}^{f2} = V_{x_{13}}^{f1} + \Delta b_1 C (M_C)_{(1,2)}^{-1} \quad (3.23)$$

$$V_{x_{13}}^{f2^+} = V_{x_{12}}^{f2^+} + (0 - V_{cm})C \frac{1}{4C} = \frac{5}{8}V_{ref} = \frac{5}{8}V \quad (3.24)$$

$$V_{x_{13}}^{f2^-} = V_{x_{12}}^{f2^-} + (V_{ref} - V_{cm})C \frac{1}{4C} = \frac{3}{8}V_{ref} = \frac{3}{8}V \quad (3.25)$$

$$V_{x_{23}}^{f2^-} = V_{x_{22}}^{f2^-} + (V_{ref} - V_{cm})C \frac{3}{8C} = \frac{13}{16}V_{ref} = \frac{13}{16}V \quad (3.26)$$

$$V_{x_{33}}^{f2^-} = V_{x_{32}}^{f2^-} + (V_{ref} - V_{cm})C \frac{3}{16C} = \frac{21}{32}V_{ref} = \frac{21}{32}V \quad (3.27)$$

$$\begin{aligned} E_{2 \rightarrow 3} &= -V_{ref} \left( C \left[ \left( V_{x_{13}}^{f2^-} - V_{ref} \right) - \left( V_{x_{12}}^{f2^-} - V_{ref} \right) \right] \right. \\ &\quad \left. + C \left[ \left( V_{x_{23}}^{f2^-} - V_{ref} \right) - \left( V_{x_{22}}^{f2^-} - V_{cm} \right) \right] \right) \\ &= \frac{3}{16} C V_{ref}^2 = \frac{3}{16} fJ \end{aligned} \quad (3.28)$$

Para a última fase de conversão as tensões de saída do DAC são obtidas pelas equações (3.30) e (2.31), de cuja comparação resulta a obtenção do bit menos significativo. A energia despendida neste processo é calculada a partir de (3.34). Neste cálculo é necessário calcular a tensão do nó 2 e do nó 3 na parte negativa do DAC obtidas, respetivamente, pelas equações (3.32) e (3.33).

$$V_{x_{14}}^{f2} = V_{x_{14}}^{f1} + \Delta b_0 C(M_C)_{(1,3)}^{-1} \quad (3.29)$$

$$V_{x_{14}}^{f2^+} = V_{x_{13}}^{f2^+} + (0 - V_{cm})C \frac{1}{8C} = \frac{9}{16} V_{ref} = \frac{9}{16} V \quad (3.30)$$

$$V_{x_{14}}^{f2^-} = V_{x_{13}}^{f2^-} + (V_{ref} - V_{cm})C \frac{1}{8C} = \frac{3}{8} V_{ref} = \frac{7}{16} V \quad (3.31)$$

$$V_{x_{24}}^{f2^-} = V_{x_{23}}^{f2^-} + (V_{ref} - V_{cm})C \frac{3}{16C} = \frac{29}{32} V_{ref} = \frac{29}{32} V \quad (3.32)$$

$$V_{x_{34}}^{f2^-} = V_{x_{33}}^{f2^-} + (V_{ref} - V_{cm})C \frac{11}{32C} = \frac{53}{64} V_{ref} = \frac{53}{64} V \quad (3.33)$$

$$\begin{aligned} E_{3 \rightarrow 4} &= -V_{ref} \left( C \left[ \left( V_{x_{14}}^{f2^-} - V_{ref} \right) - \left( V_{x_{13}}^{f2^-} - V_{ref} \right) \right] \right. \\ &\quad + C \left[ \left( V_{x_{24}}^{f2^-} - V_{ref} \right) - \left( V_{x_{23}}^{f2^-} - V_{ref} \right) \right] \\ &\quad \left. + C \left[ \left( V_{x_{34}}^{f2^-} - V_{ref} \right) - \left( V_{x_{33}}^{f2^-} - V_{cm} \right) \right] \right) \\ &= \frac{11}{64} C V_{ref}^2 = \frac{11}{64} fJ \end{aligned} \quad (3.34)$$

Com os resultados alcançados teoricamente para as tensões de saída do DAC e na energia despendida para os diferentes ciclos de conversão são validados os gráficos obtidos. Estes estão representados pela Figura 3.10 e Figura 3.11, através do modelo de alto nível desenvolvido, no caso em concreto, estudado teoricamente quando é amostrado o sinal de entrada de 1 V no DAC+ e de 0 V no DAC- resultando assim um código binário final de 1111.

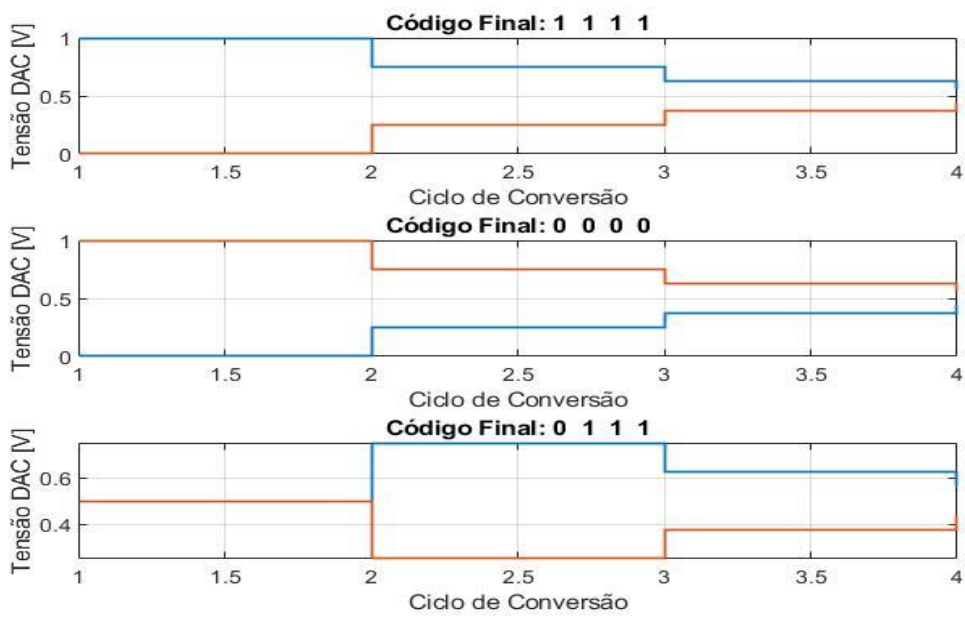


Figura 3.10: Processo de conversão da tensão de saída do DAC perante diferentes valores de tensão de entrada

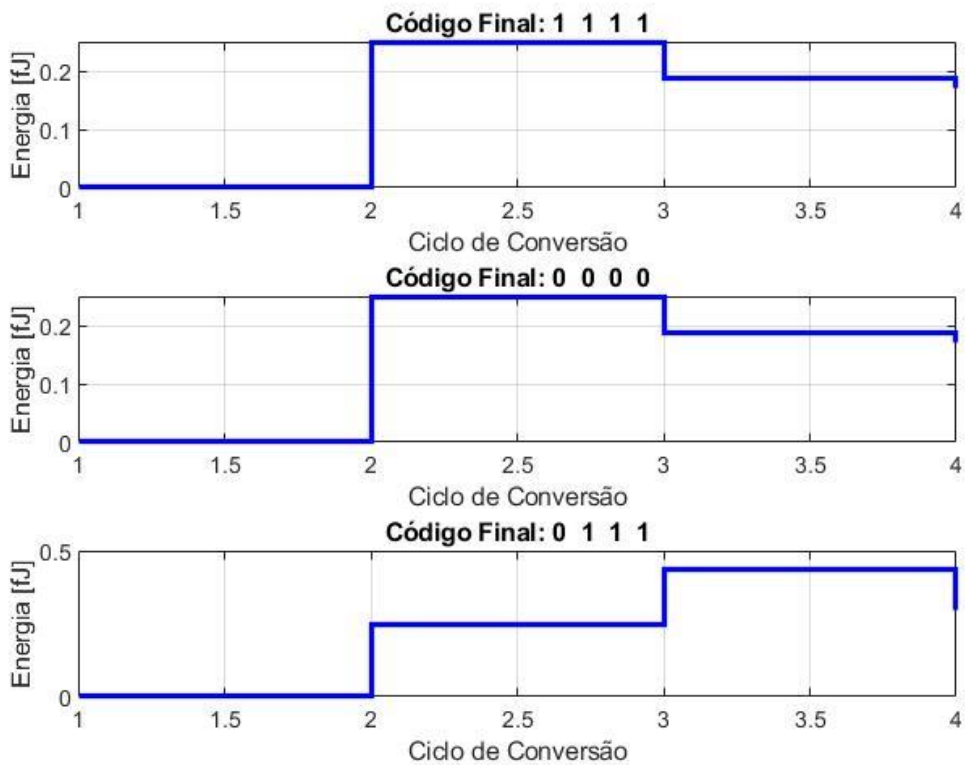


Figura 3.11: Energia despendida em cada ciclo de conversão para os diferentes cenários em análise

### 3.3.2 Efeito das Capacidades Parasitas no ADC com DAC C-2C

O principal objetivo desta fase do trabalho é verificar o efeito que as capacidades parasitas têm na linearidade do conversor analógico-digital que, pelo o estudo desenvolvido no capítulo 2 é um dos principais problemas deste DAC. Consequentemente nesta secção é desenvolvido o ADC com DAC C-2C com capacidades parasitas de 0,5%, de 1%, de 5% e de 10% do valor unitário de C.

A Figura 3.12 representa a parte positiva do DAC com capacidades parasitas para um ADC de 4 bits, com um estilo de comutação MCS. A matriz de condensadores neste estudo é obtida pela equação (3.35).

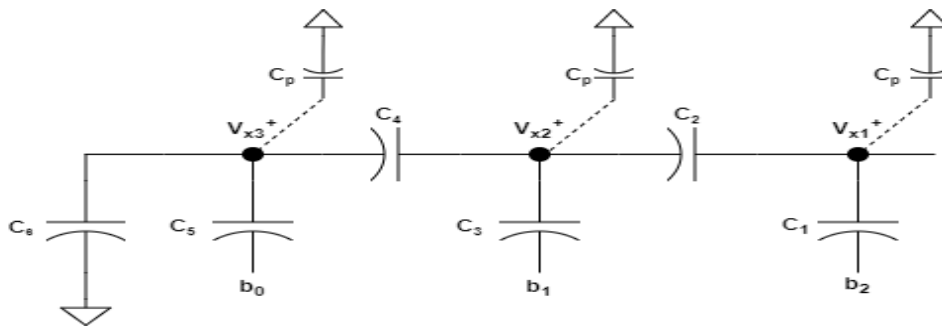


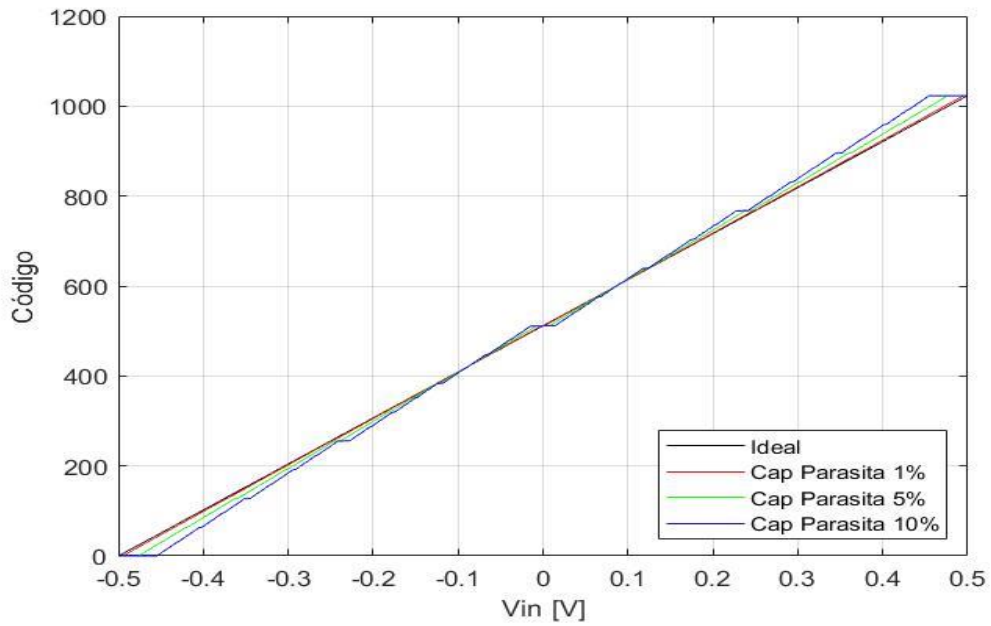
Figura 3.12: Parte positiva do DAC C-2C diferencial com capacidades parasitas

$$M_C = \begin{bmatrix} (C_1 + C_2 + C_p) & (-C_2) & 0 \\ (-C_2) & (C_2 + C_3 + C_4 + C_p) & (-C_4) \\ 0 & (-C_4) & (C_4 + C_5 + C_6 + C_p) \end{bmatrix} \quad (3.35)$$

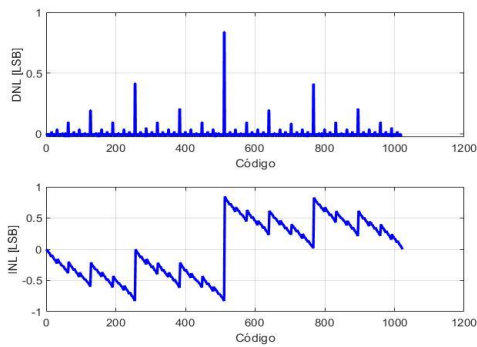
A partir da Figura 3.13 é possível verificar que quanto maior for o efeito das capacidades parasitas presentes no DAC, tanto maiores são os erros de transição associados na conversão, face à linha ideal que não apresenta capacidades parasitas, sendo a sua DNL e INL de 0 LSB, como visto anteriormente.

Quanto maior for a discrepância entre a função com capacidades parasitas e a função de transferência ideal, maior é a DNL e a INL e, como consequência, pior é a linearidade do sistema. Devido a isso, o ADC que contem 10 % de capacidades parasitas em relação a um valor unitário de C, tem o valor da DNL e da INL mais elevado e, o que apresenta 0.5% tem o valor menos elevado.

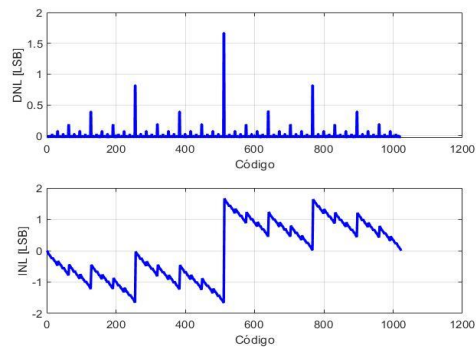
A Figura 3.14 representa a DNL e a INL para a capacidade parasita a 0,5%, a Figura 3.15 para 1%, Figura 3.16 para 5% e a Figura 3.17 para 10%. A DNL e a INL apresentam o mesmo padrão sendo o seu valor máximo e mínimo o que muda nas figuras. Os picos de valor máximo acontecem para os bits mais significativos.



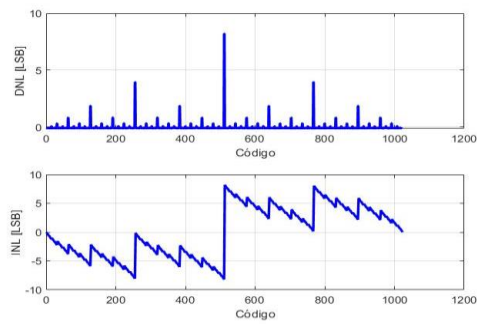
**Figura 3.13: Efeito das capacidades parasitas no código final em função de  $V_{in}$  em comparação à função ideal**



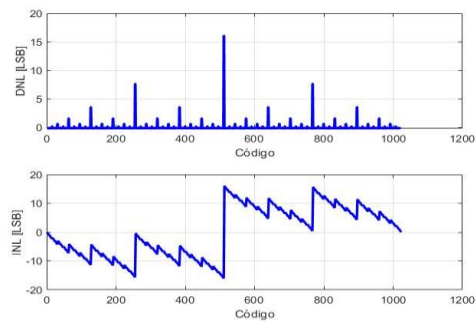
**Figura 3.14: DNL/INL com cap. parasitas de 0,5%**



**Figura 3.15: DNL/INL com cap. parasitas de 1%**



**Figura 3.16: DNL/INL com cap. parasitas de 5%**



**Figura 3.17: DNL/INL com cap. parasitas de 10%**

### 3.3.3 DAC C-2C com Condensadores com *mismatch error*

Para um modelo mais realista, nesta secção do trabalho foi implementado um modelo de alto nível com um DAC C-2C que contém condensadores com um *mismatch error*,  $\sigma$ , associado.

Cada tipo de condensador contém o seu próprio *mismatch error* independentemente da sua capacidade, segundo o artigo [32] para um condensador com uma capacidade de 2 fF este apresenta um *error* de sensivelmente de 0,43%.

Contudo, o valor do erro relacionado com o condensador vai variar de uma forma aleatória segundo o fator de 0,43% para uma capacidade de 2fF, pois não é válido que os condensadores para esta capacidade apresentem sempre este erro. Pode ser significativamente menor ou maior. Assim sendo, se não existisse essa derivação aleatória, os condensadores apresentariam todos a mesma capacidade.

Posto isto, para este tipo de modelo de alto nível na sua implementação a matriz dos condensadores para um DAC com condensadores reais é obtido a partir da equação (3.36) e, a equação geral, para o cálculo da tensão de saída do DAC e dos restantes nós existentes no mesmo, é dada por (3.37).

Os resultados obtidos com a implementação deste modelo estão expostos no capítulo 4 onde é feita uma comparação entre o DAC C-2C e o DAC Pesado Binariamente para diferentes *mismatch errors* e, como consequência, são verificadas as diferenças existentes na linearidade entre os dois sistemas.

$$M_C = \begin{bmatrix} (C_1\sigma_1 + C_2\sigma_2) & (-C_2\sigma_2) & 0 \\ (-C_2\sigma_2) & (C_2\sigma_2 + C_3\sigma_3 + C_4\sigma_4) & (-C_4\sigma_4) \\ 0 & (-C_4\sigma_4) & (C_4\sigma_4 + C_5\sigma_5 + C_6\sigma_6) \end{bmatrix} \quad (3.36)$$

$$\overrightarrow{V_{x_j}^{f2}} = \overrightarrow{V_{x_j}^{f1}} + \Delta b_i C_k \sigma_k (M_C)^{-1} \quad (3.37)$$

### **3.4 Comparação dos resultados obtidos em MATLAB com os resultados obtidos em *Cadence***

A presente secção tem como principal objetivo a validação do modelo de alto nível desenvolvido através do MATLAB, com isso, através de tecnologia CMOS e do simulador elétrico *Cadence* foi implementado eletronicamente um SAR ADC com DAC C-2C, que visa comparar os resultados obtidos em MATLAB.

A Tabela 3.1 contém três diferentes cenários, estes são: ADC com DAC C-2C ideal, ADC com DAC C-2C ideal e com capacidades parasitas na ordem dos 1% em relação ao valor da capacidade do condensador e por último com capacidades parasitas na ordem dos 10% em relação a capacidade do condensador, para os resultados obtidos em MATLAB e eletronicamente da tensão de saída do DAC para diferentes ciclos de conversão. Contudo, o primeiro ciclo de conversão não se encontra, pois, trata-se da comparação direta entre as duas tensões de entrada existentes no DAC.

Em ambas as simulações foi utilizado um valor de capacidade do condensador de 10 fF, uma tensão de referência de 1 V, uma tensão de  $V_{cm}$  de 0,5 V e para as tensões de entrada para o lado positivo foi de 1 V e para o negativo foi de 0 V. Posto isto, em todas as simulações o código final foi de 1111.

Os resultados obtidos para os dois simuladores foram praticamente iguais, permitindo assim validar o modelo de alto nível desenvolvido, tanto o nível do ADC com DAC C-2C ideal como quando o DAC C-2C está perante capacidades parasitas na sua constituição. Como se pode observar na Tabela 3.1 houve diferenças praticamente insignificantes, isto pode-se dever à existência de pequenos valores parasitas após a implementação dos circuitos elétricos que permitiram o desenvolvimento elétrico do SAR ADC com DAC C-2C, o que leva a pequenas variações no impulso do sinal.

A Figura 3.18 representa o processo de conversão obtido eletronicamente para um DAC C-2C ideal com capacidades parasitas de 1% do valor da capacidade de 10 fF. Para o DAC C-2C ideal e com capacidades parasitas de 10% estão representados respetivamente, em anexo, pela Figura 5.1 e Figura 5.2.

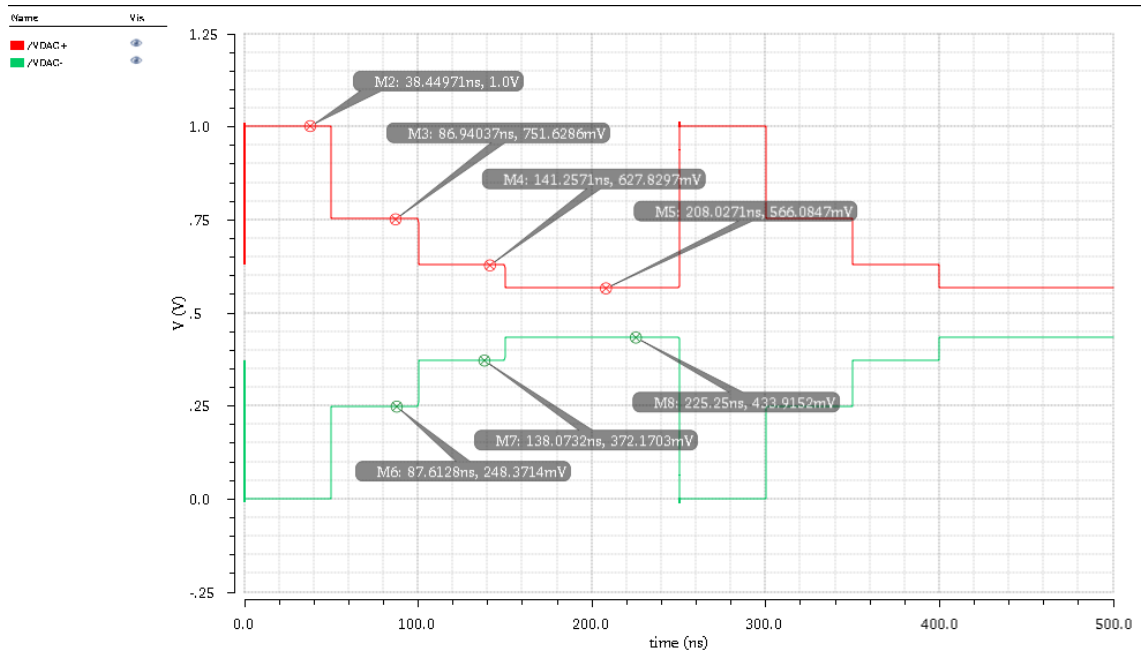
Os circuitos elétricos implementados também se encontram em anexo. A Figura 5.3 representa o DAC C-2C elaborado e a Figura 5.4 representa o DAC C-2C com capacidades parasitas. A Figura 5.5 apresenta o circuito de interruptores utilizados. Sendo que a estrutura final do ADC é exposto na Figura 5.6.

A Figura 5.7 representa o bloco de lógica SAR implementado no SAR ADC desenvolvido no simulador elétrico. Este bloco apresentado funciona como o “coração” deste conversor. Este é constituído para um ADC de 4 bits, no modelo desenvolvido neste trabalho e tido como base em [33], por 10 *Flip-Flops* do tipo D, desenvolvido em [34], sendo que 5 são denominados *sequencer* que têm como função e responsabilidade de aplicar a sequência do sinal consoante o bit em análise. A Figura 3.19 representa o sinal enviado em cada *Flip-Flop* deste tipo. Os restantes 5 *Flip-Flops* vão receber o sinal do seu *Flip-Flop sequencer* respetivo, e com esse sinal e a partir da decisão do comparador, no ciclo de CLK respetivo, eles registam se o sinal se mantém ativo, isto é, com o valor lógico de 1 ou com o valor lógico de 0. Os dois últimos *Flip-Flops* têm como função acabar com o processo de conversão de sinal.

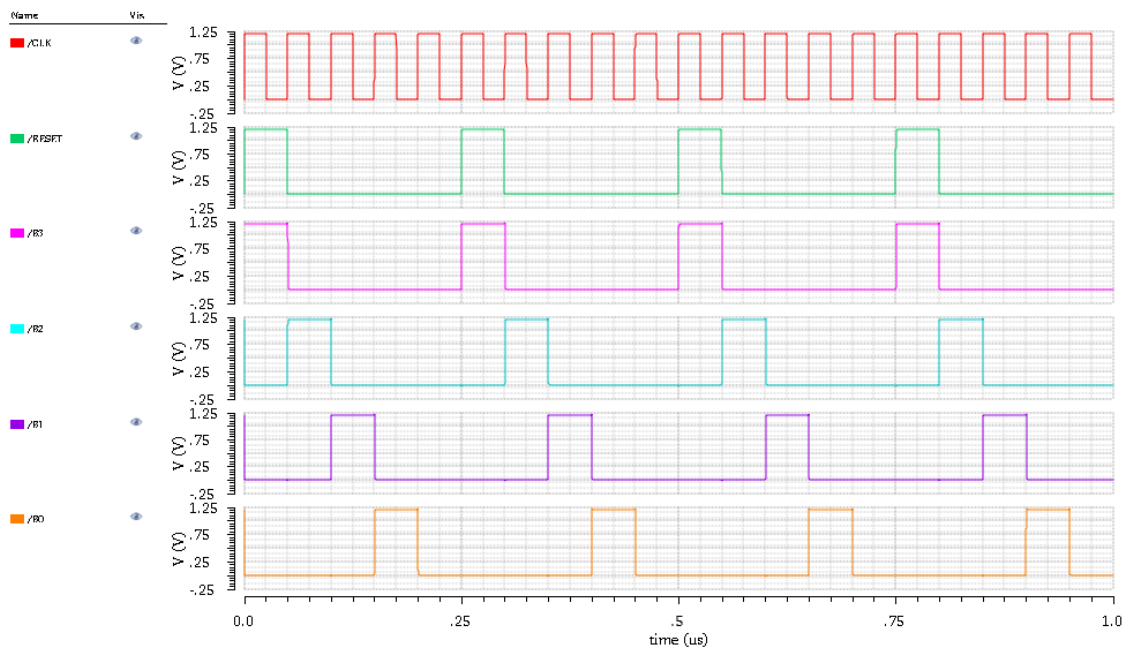
É de salientar que o *Flip-Flop* é ativa *high*, isto é, se o *Preset* deste estiver com o valor lógico de 1 então a saída do *Flip-Flop* ficará com o valor lógico de 1. No primeiro ciclo de CLK o sinal de *Reset* coloca o primeiro *Flip-Flop sequencer* ativo enquanto que os restantes coloca com o valor lógico de 0. É importante ainda que referir que o modelo desenvolvido em [33] é para um esquema de comutação Convencional, por isso, para um esquema de Comutação em *V<sub>cm</sub>-Based* é necessário alguma lógica adicional como o uso de portas lógicas *NOR* e *Not*.

**Tabela 3.1: Análise Comparativa entre os resultados obtidos em MATLAB e Cadence**

	Ciclo de Conversão	MATLAB		Cadence	
		Tensão de saída do DAC [V]			
		DAC <sup>+</sup>	DAC <sup>-</sup>	DAC <sup>+</sup>	DAC <sup>-</sup>
Ideal	2	0,75	0,25	0,75	0,25
	3	0,625	0,375	0,625	0,375
	4	0,5625	0,4375	0,5625	0,4375
Ideal com Capacidades Parasitas de 1%	2	0,751629	0,248371	0,715629	0,248371
	3	0,627829	0,372171	0,627830	0,372170
	4	0,566084	0,433916	0,566085	0,433915
Ideal com Capacidades Parasitas de 10%	2	0,765276	0,234724	0,765276	0,234724
	3	0,651453	0,348547	0,651454	0,348547
	4	0,595930	0,40407	0,595931	0,404069



**Figura 3.18: Conversão do sinal do DAC C-2C com capacidades parasitas de 1%**



**Figura 3.19: Sequência dos sinais para o bit em análise**

## 4 Análise de um ADC SAR utilizando um DAC C-2C e utilizando um DAC P. Binariamente

### 4.1 Introdução à Análise Comparativa

O principal objetivo deste capítulo passa por comparar o conversor analógico-digital SAR utilizando um DAC C-2C ou utilizando um DAC Pesado Binariamente. Utilizou-se o programa MATLAB para criar um modelo de alto nível para cada uma das opções de DAC e assim obter resultados de simulação, através dos quais é possível verificar qual o melhor DAC perante diferentes cenários e circunstâncias.

Esta análise baseia-se no estudo dos dois tipos de DAC, totalmente diferenciais e tem como principal foco o esquema de comutação  $V_{cm}$ -Based. Como se pôde verificar no estudo presente no capítulo 2, este é o melhor esquema de comutação em comparação ao Convencional e ao Monotónico, pois o  $V_{cm}$ -Based apresenta uma área menor do que o Convencional e tem melhor eficiência energética, sendo estes resultados demonstrados neste capítulo.

Para comparar o DAC C-2C e o DAC Pesado Binariamente, estes são alvos do estudo em três pontos importantes, visando a perceção das principais diferenças entre as duas opções.

As três questões que vão ser alvos de estudo são:

- **Capacidade total do DAC:** Neste tópico é investigada a quantidade da capacidade existente do DAC, ou seja, é somado o valor da capacidade dos condensadores presentes em cada tipo de DAC. Quanto maior for este valor maior será a área do conversor. É estudado o valor do condensador existente no C-2C considerando 3 valores para C:  $C_{min}$ ,  $5C_{min}$  e  $10C_{min}$ , sendo que,  $C_{min}$

representa o valor da capacidade do condensador do bit menos significativo do DAC Pesado Binariamente. O valor de  $C_{\min}$  depende da tecnologia CMOS utilizada e determina a magnitude dos erros de emparelhamento dos condensadores no DAC.

- **Energia:** Neste ponto é determinada a energia total despendida por parte de cada DAC durante uma conversão digital analógica. É também determinada a energia gasta perante na conversão analógica digital para uma gama de valores de tensão de entrada, para diversos valores de resolução do ADC. Sendo o objetivo determinar a partir destes resultados qual das arquiteturas de DAC resulta num ADC mais eficiente energeticamente. Quanto menor for a energia despendida mais eficiente é o conversor.
- **Linearidade:** Relativamente à linearidade, que é um dos tópicos mais importantes no estudo de um ADC, vai ser apresentado o valor de linearidade de cada arquitetura dependente dos erros de emparelhamento dos condensadores do DAC, sendo os resultados obtidos a partir de uma análise de Monte Carlo. Consoante a resolução do dispositivo e o *mismatch* error dos condensadores. São ainda apresentados resultados ao nível da DNL e INL de cada arquitetura.

Por último, são discutidos os resultados, concluindo onde se deve utilizar o DAC C-2C ou o DAC pesado binariamente em função da resolução requerida para o ADC, da linearidade, da área e da eficiência energética.

## 4.2 Capacidade Total no DAC

De acordo com o que anteriormente referido, nesta secção vai ser feita uma análise comparativa entre o conversor digital-analógico C-2C e o Pesado Binariamente.

A capacidade total do DAC é um fator importante principalmente para se perceber qual o DAC que poderá ter uma área menor. Isto implica a demonstração de quais dos dois conversores tem uma capacidade menor e, como consequência, uma área menor pois quanto maior for a capacidade do condensador em questão maior será a área do mesmo.

Contudo, condensadores maiores implicam também que estes apresentem um menor *mismatch error* [32] em condensadores reais, o que leva a uma melhor linearidade do ADC. Assim sendo, é feita uma análise com diferentes valores de capacidade para o menor condensador presente no DAC C-2C. Uma vez que a capacidade total de ambos os DACs é diretamente proporcional ao valor da menor capacidade no circuito. Este condensador, denominado de  $C_{\min}$ , tem um valor que depende da tecnologia CMOS utilizada. Nesta análise é considerado  $C_{\min} = 1\text{ff}$ . No caso do DAC pesado binariamente, o menor condensador (correspondente ao bit menos significativo) é considerado sempre igual a  $C_{\min}$  de modo a obter sempre a menor área

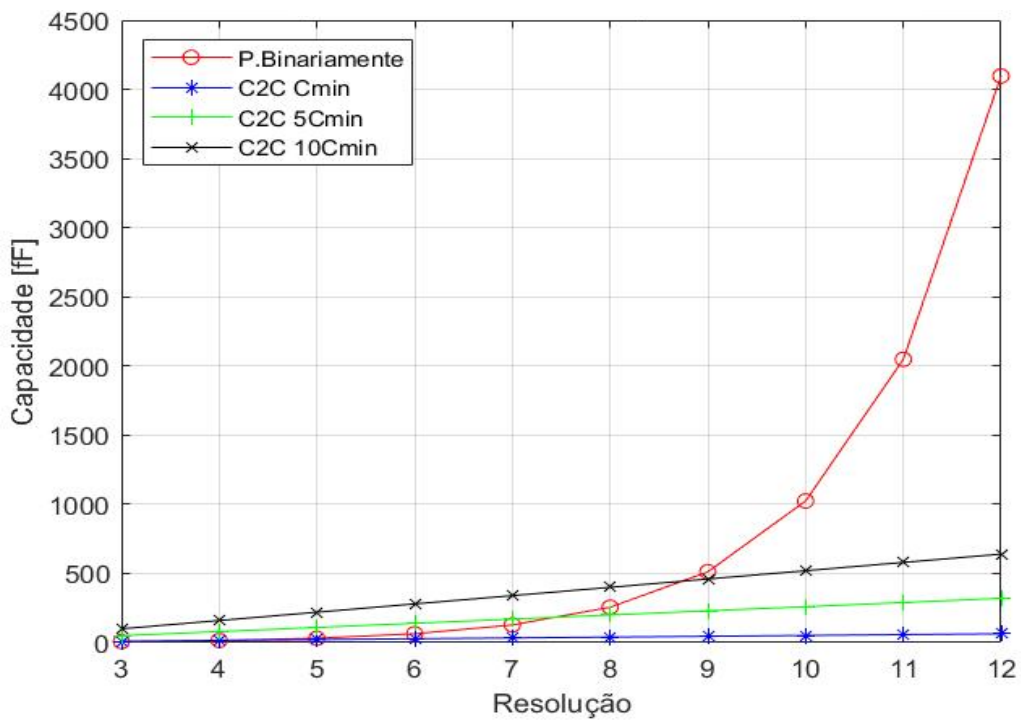
possível. No caso do DAC C-2C são considerados 3 casos:  $C_{min} - 2C_{min}$ ,  $5C_{min} - 10C_{min}$  e  $10C_{min} - 20C_{min}$ , sendo  $C_{min}$  1fF.

A partir destes cenários é possível verificar a capacidade total do DAC C-2C em relação ao Pesado Binariamente perante diferentes resoluções e, conseqüentemente verificar a partir de que resolução é benéfico usar um tipo de DAC em relação ao outro.

As equações (4.1) e (4.2), representam a equação geral para um esquema de comutação  $V_{cm}$ -Based, para a capacidade total do DAC C-2C e Pesado Binariamente, respetivamente.

$$Cap C - 2C = C_{min} + (n_{bits} - 1)3C_{min} \quad (4.1)$$

$$Cap P. B. = 2^{n_{bits}-1}C_{min} \quad (4.2)$$



**Figura 4.1: Capacidade Total do DAC por Resolução**

Na Figura 4.1 estão representados os resultados da capacidade total do DAC Pesado Binariamente e do C-2C com diferentes cenários, face a diferentes resoluções, neste caso de 3 a 12 bits.

Pode-se observar que, para o condensador do DAC C-2C ser igual a  $C_{min}$ , para resoluções acima de 5 bits, é muito melhor usar este DAC, pois o valor capacitivo

total deste conversor é muito menor que o Pesado Binariamente, remetendo assim para uma área bem menor. No que diz respeito à resolução de 12 bits, existe uma diferença de capacidades de  $4032C_{\min}$ , sendo este valor normalizado.

No que diz respeito ao DAC C-2C, tornam-se mais vantajosos os de  $5C_{\min}$  e  $10C_{\min}$  relativamente ao Pesado Binariamente a partir de 8 bits e 9 bits, respetivamente. Quanto maior for o valor do condensador melhor é a linearidade do DAC.

### 4.3 Eficiência Energética

No tópico da Energia é elaborada a comparação da eficiência energética despendida do DAC C-2C face ao DAC Pesado Binariamente. No que diz respeito ao conversor Pesado Binariamente, este é estudado de acordo com diferentes estilos de comutação: o Convencional, o Monotónico e o  $V_{cm}$ -Based. Os resultados estão representados na Figura 4.2, sendo possível verificar que o esquema de comutação  $V_{cm}$ -Based despende muito menos energia que os restantes esquemas.

A energia requerida por conversão neste tipo de arquiteturas perante diferentes estilos de comutação é proporcional a  $CV_{ref}^2$ . Os resultados são obtidos considerando um ADC de 10 bits com um valor unitário da capacidade do condensador de 1fF, que é o valor do condensador do bit menos significativo, uma tensão de referência com um valor de 1V e com um *mismatch error* nos condensadores com base no artigo [32].

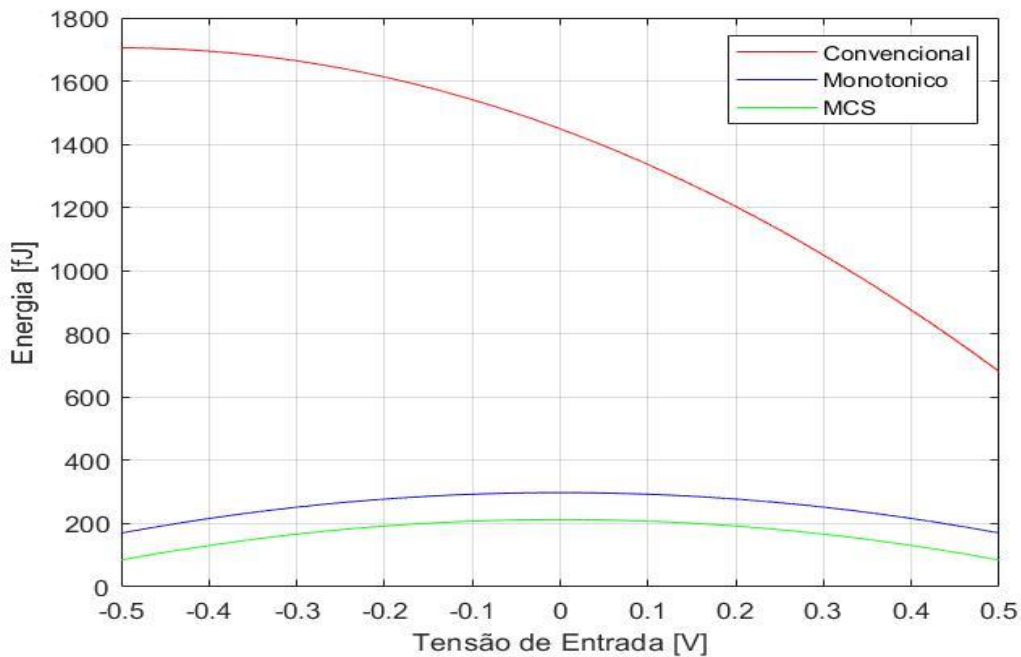


Figura 4.2: Energia do DAC P. Binariamente com diferentes estilos de comutação

Os resultados apresentados na Figura 4.2 demonstram a energia despendida por parte do DAC, completamente diferencial, Pesado Binariamente, perante diferentes estilos de comutação. Esta energia que está presente na figura corresponde à soma de todas as energias gastas nos saltos de transição dos bits ao longo dos 10 bits. Esta energia é calculada perante diferentes tensões de entrada na fase de amostragem do conversor.

A partir desta, é possível verificar que o esquema que despende a maior quantidade de energia é o Convencional e o seu pico é atingido quando a tensão de entrada diferencial é de sensivelmente  $-0.5V$ .

O esquema Monotónico e o esquema MCS ( $V_{cm}$ -Based) apresentam resultados semelhantes e gráficos com simetrias iguais, contudo, o estilo de comutação Monotónico gasta um pouco mais de energia que o  $V_{cm}$ -Based, simetricamente, cerca de 100fJ.

Assim sendo, o melhor esquema de comutação no domínio da eficiência energética é o MCS, comprovando assim não só o que foi apresentado no Capítulo 2 como também os resultados existentes em [1].

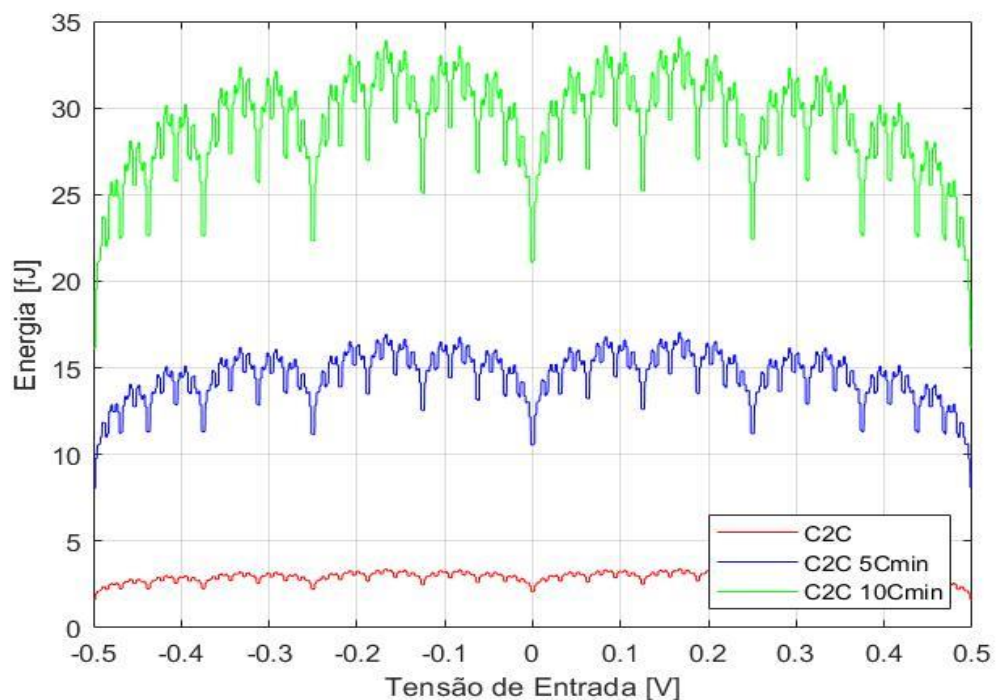
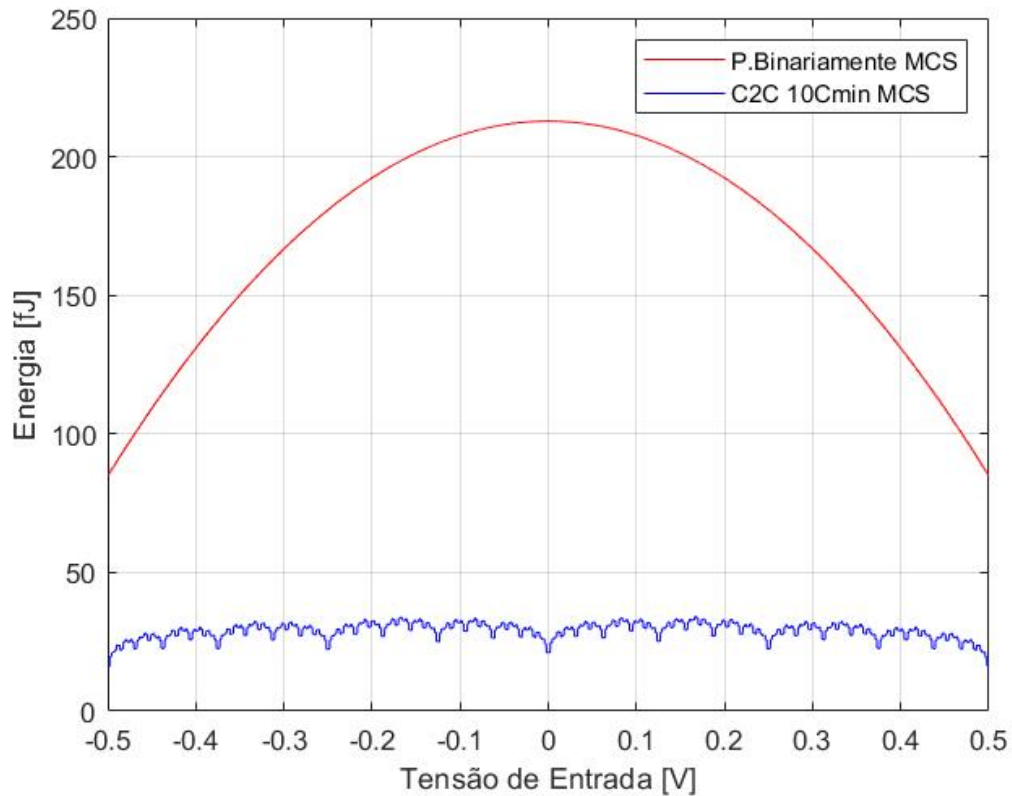


Figura 4.3: Energia total despendida no ADC com DAC C-2C



**Figura 4.4: Comparação das energias entre o DAC C-2C e o P. Binariamente**

A energia despendida por conversão por um ADC utilizando um DAC C-2C está representada na Figura 4.3.

Sabendo que a energia é proporcional a  $C_{Vref}^2$ , pode-se verificar na figura que à medida que a capacidade do condensador presente no DAC aumenta a energia aumenta também na mesma proporção. Assim, se a capacidade for de  $C_{min}$  vai despende 10 vezes menos energia, comparativamente se o DAC apresentar uma capacidade no condensador de  $10C_{min}$ .

A Figura 4.4 apresenta a energia gasta, num esquema de comutação MCS, por parte de um DAC C-2C com uma capacidade  $C$  de  $10C_{min}$  face ao Pesado Binariamente.

A partir desta é possível verificar que o conversor C-2C despende muito menos energia em comparação com o Pesado Binariamente, para um ADC de 10 bits. Consequentemente é uma arquitetura com uma melhor eficiência energética independentemente da tensão de entrada diferencial.

Quanto à Figura 4.5, esta demonstra a energia total gasta por parte dos dois conversores consoante diferentes resoluções. É apresentada com uma escala logarítmica porque a diferença de energias entre o Pesado Binariamente e o C-2C com  $C_{min}$ , para uma resolução de 12 bits, é muito elevada.

A energia é obtida a partir da soma da energia necessária para converter a gama de tensão de conversão do ADC completa, corresponde a todos os valores apresentados na Figura 4.4, neste caso especificamente para uma resolução de 10 bits. A partir desta, é possível verificar as diferenças existentes entre ambas as arquiteturas para múltiplas resoluções.

Esta figura é, assim, ilustrativa das grandes diferenças que existem no gasto total de energia entre os dois conversores. No que diz respeito ao DAC C-2C com  $C_{min}$ , este apresenta melhores resultados do que o Pesado Binariamente. Assim, tem uma melhor eficiência energética ao longo dos 3 a 12 bits. Enquanto o  $5C_{min}$  é mais eficiente para resoluções a partir dos 6 bits e o  $10C_{min}$  após os 7 bits.

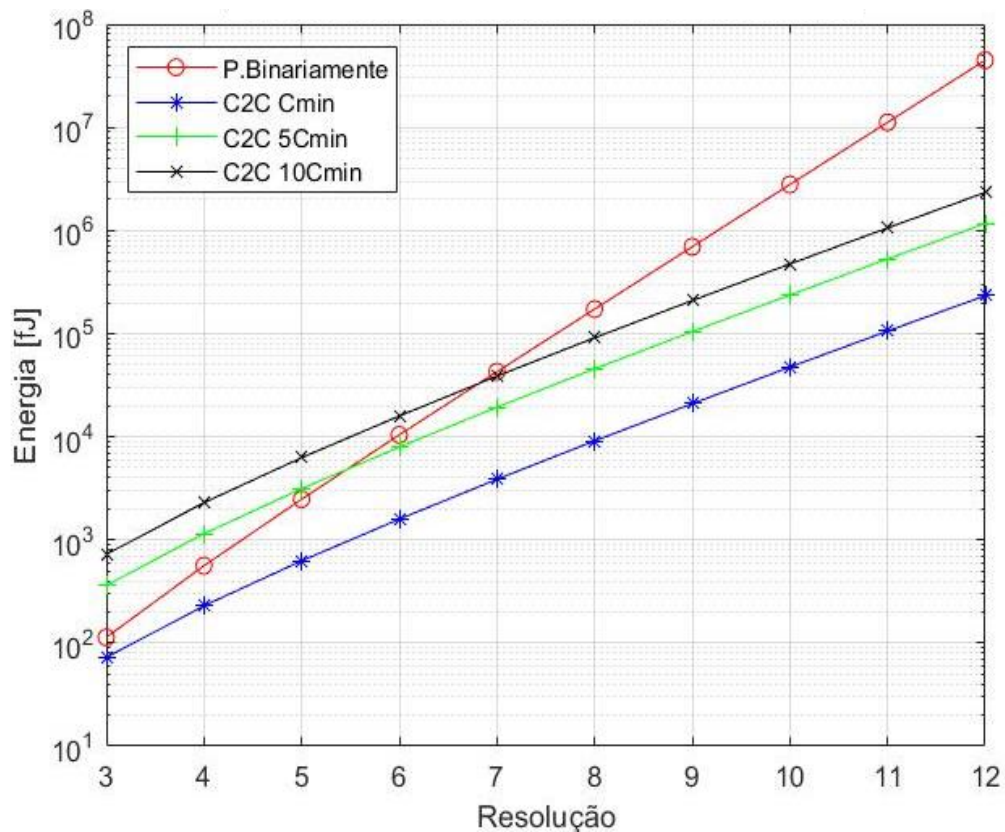


Figura 4.5: Energia total dependida por Resolução nos dois Conversores

## 4.4 Linearidade do ADC

Esta secção apresenta o estudo da linearidade do ADC utilizando o DAC C-2C e o DAC Pesado Binariamente. O DAC C-2C é implementado com dois cenários diferentes, no primeiro os condensadores apresentam um *mismatch error* de 0,5% com uma capacidade mínima de 1fF e no segundo estes têm um *mismatch error* de 0,1% com uma capacidade mínima de 10fF. Estes valores têm como base [32] onde é demonstrado que com o aumento da capacidade dos condensadores o valor de erro diminui.

O DAC Pesado Binariamente também foi implementado em duas estruturas diferentes, uma apresenta só condensadores com um erro de 0,5%, ou seja de 1fF, para uma capacidade de 8C, por exemplo, terá 8 condensadores em paralelo com esse erro associado, para a outra estrutura o *mismatch error* dos condensadores depende da capacidade do mesmo e quanto maior for menor será o erro, sendo que a menor capacidade apresenta um erro de 0,5% e os restantes valores foram tidos como base no artigo [32].

As 4 diferentes arquiteturas foram alvo de uma análise de Monte Carlo perante diferentes resoluções, o número de amostras por resolução para esta análise é obtido pela equação (4.3), em cada amostra é obtido o DNL e INL do mesmo, sendo que a partir destes é possível obter o cálculo da linearidade do ADC.

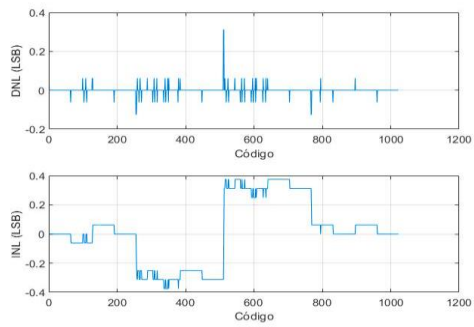
O valor da linearidade a partir da INL é obtida pela equação (4.4) e da DNL com a equação (4.5).

$$N^{\circ} \text{ de Amostras} = 2^{(n_{bits}+2)} \quad (4.3)$$

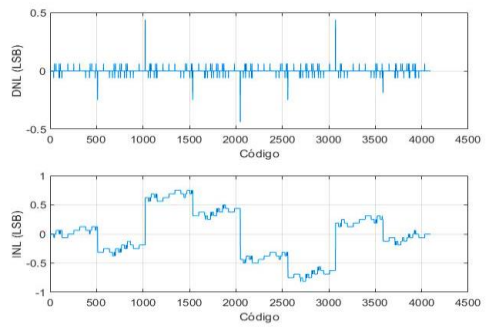
$$Lineariedade_{INL} = n_{bits} - \log_2(\max(inl) - \min(inl)) \quad (4.4)$$

$$Lineariedade_{DNL} = n_{bits} - \log_2(\max(dnl) - \min(dnl)) \quad (4.5)$$

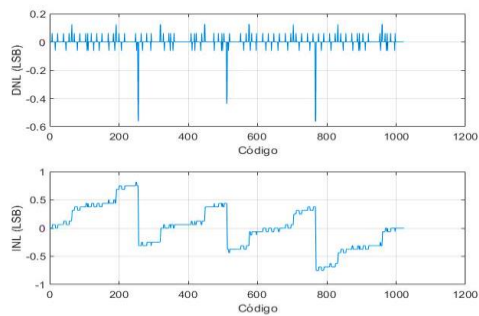
A Figura 4.6, a Figura 4.8, a Figura 4.10 e a Figura 4.12 demonstram a representação da DNL e INL para as diferentes estruturas estudadas com uma resolução de 10 bits e a Figura 4.7, a Figura 4.9, a Figura 4.11 e a Figura 4.13 para uma resolução de 12 bits. Estes resultados foram obtidos para uma amostra aleatória da análise de Monte Carlo, pois os valores associados à DNL e INL variam de análise para análise.



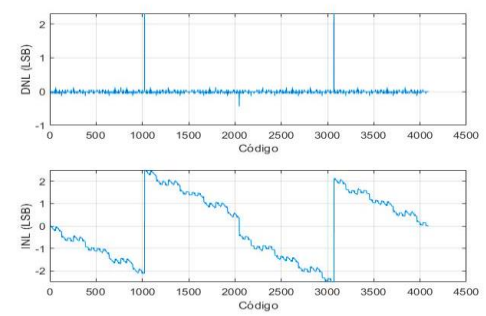
**Figura 4.6: DNL/INL C-2C 0,1% 10 bits**



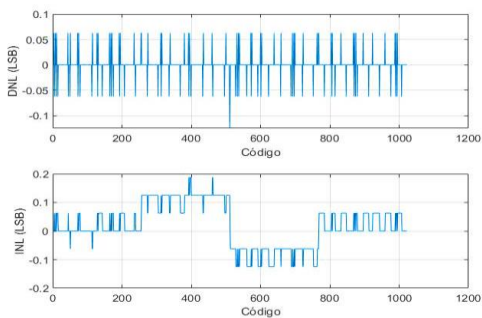
**Figura 4.7: DNL/INL C-2C 0,1% 12 bits**



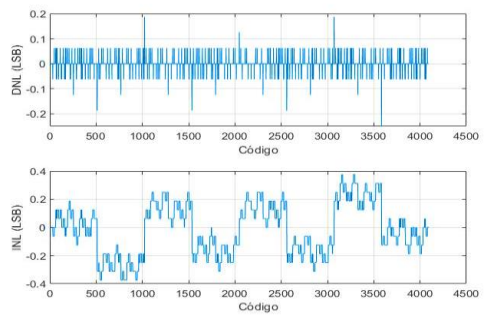
**Figura 4.8: DNL/INL C-2C 0,5% 10 bits**



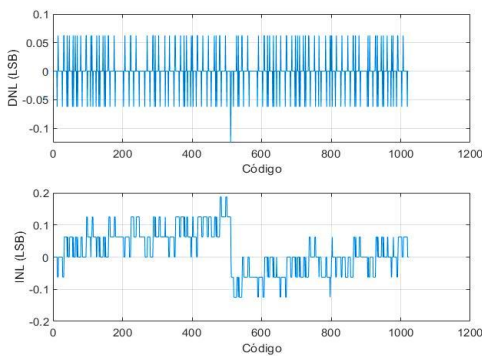
**Figura 4.9: DNL/INL C-2C 0,5% 12 bits**



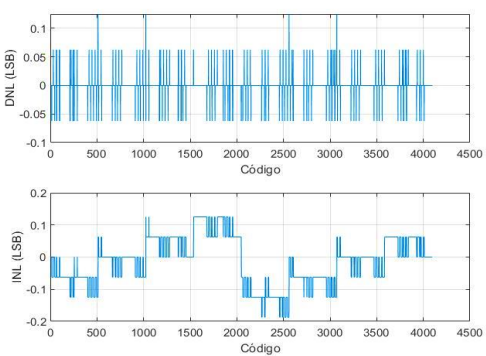
**Figura 4.10: DNL/INL P.B 10 bits**



**Figura 4.11: DNL/INL P.B 12 bits**



**Figura 4.12: DNL/INL P.B. 0,5% 10 bits**

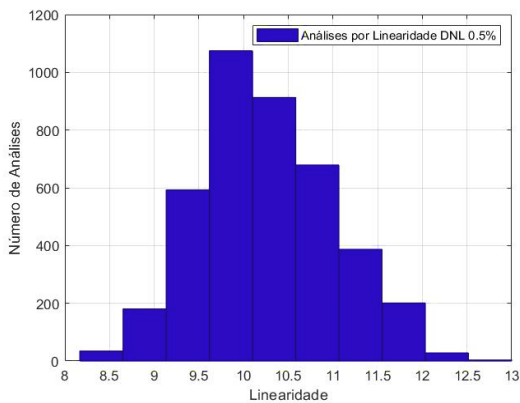


**Figura 4.13: DNL/INL P.B. 0,5% 12 bits**

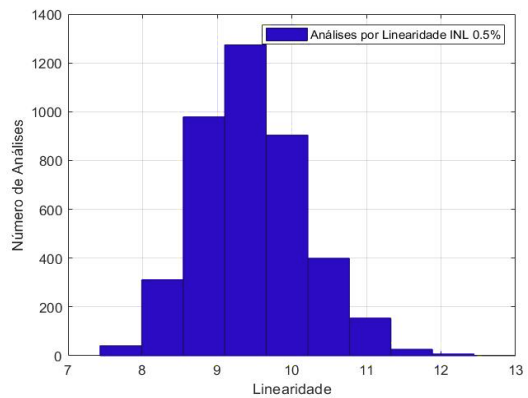
Os resultados seguintes representam o histograma da análise de Monte Carlo implementada, sendo estes obtidos para uma resolução de 10 bits e com um número de casos de 4096. Este histograma apresenta o número de casos para diferentes valores de linearidade para o DAC C-2C em dois cenários diferentes, um com condensadores com *mismatch error* de 0,5% e outro de 0,1%.

A Figura 4.14 e a Figura 4.15 representam o número de análises por linearidade para INL e DNL, respetivamente, para condensadores com um erro de 0,5% e a Figura 4.16 e a Figura 4.17 para 0,1%.

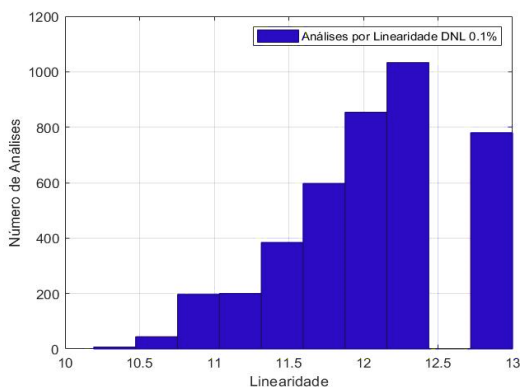
A partir destes resultados é possível verificar que o DAC C-2C com condensadores com um erro de 0,1% apresenta melhor linearidade em comparação com o de condensadores com um erro de 0,5%, para o valor de linearidade de INL o maior número de análises para o de 0,5% tem o valor de 9,5 e no de 0,1% um valor de 12. No que diz respeito ao valor de linearidade de DNL no 0,5% o maior número de análises situa-se no valor de 10 e no 0,1% em 11,5.



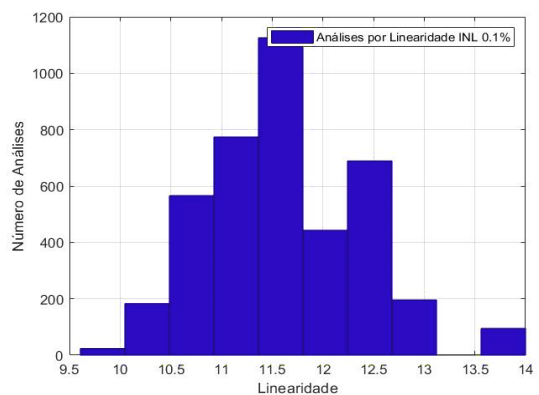
**Figura 4.14: Monte Carlo DNL 0,5%**



**Figura 4.15: Monte Carlo INL 0,5%**



**Figura 4.16: Monte Carlo DNL 0,1%**



**Figura 4.17: Monte Carlo INL 0,1%**

Para o último estudo no tópico da linearidade para um ADC com DAC C-2C e Pesado Binariamente, foi feita uma análise de Monte Carlo para resoluções que variou entre 3 e 10 bits sendo que o número de amostras em cada resolução é obtido pela equação (4.3).

Depois de feita a análise de Monte Carlo foi utilizado o valor mínimo de linearidade ao nível de INL e DNL, sendo que este representa o pior caso possível de linearidade das estruturas estudadas. A partir deste é possível verificar qual é a arquitetura que apresenta a melhor linearidade dos quatro cenários implementados, que foram mencionados anteriormente.

A Figura 4.18 apresenta a linearidade mínima de INL consoante a resolução respetiva e a Figura 4.19 a linearidade mínima de DNL.

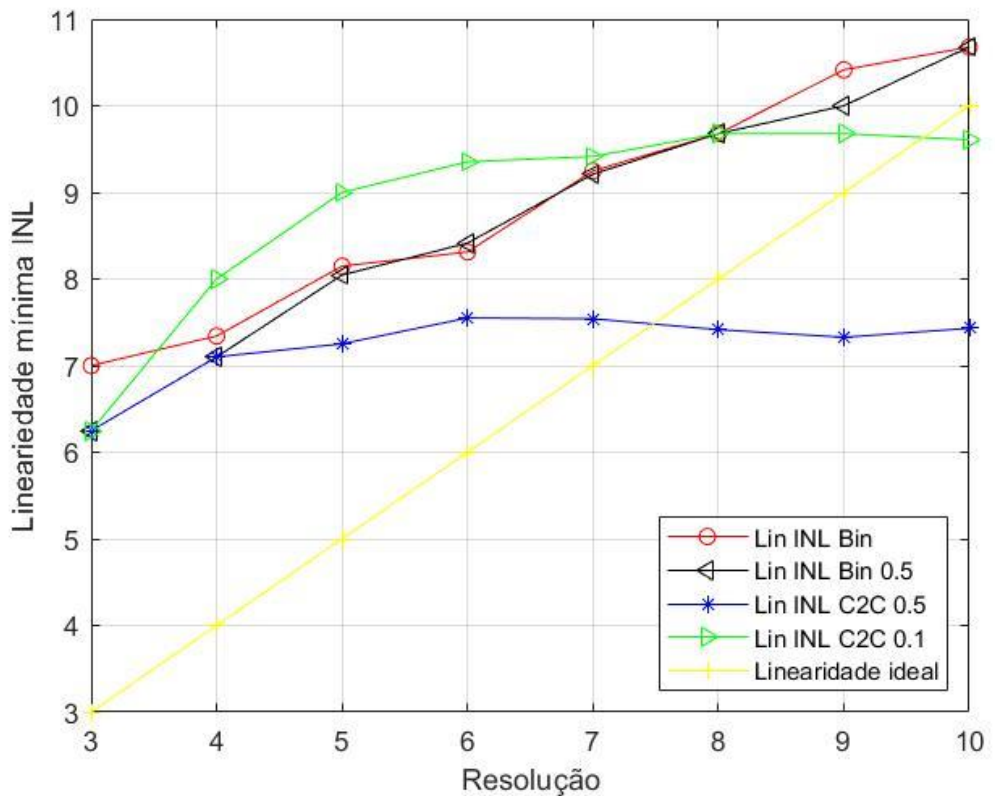
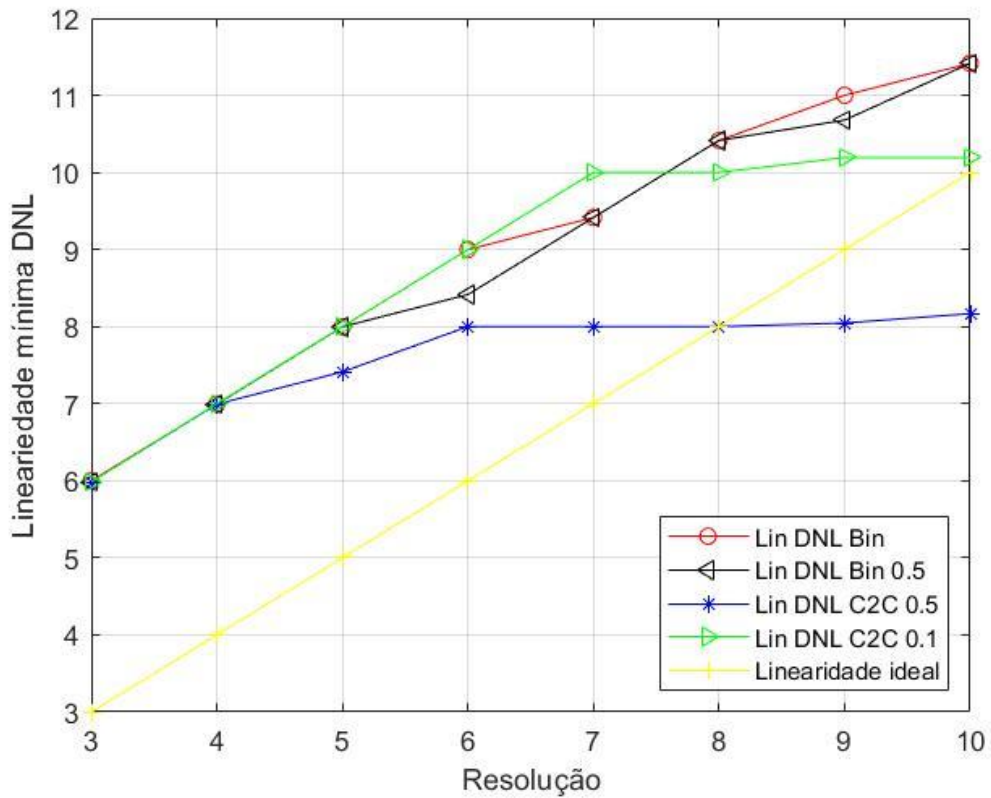


Figura 4.18: Linearidade mínima INL por resolução



**Figura 4.19: Linearidade mínima DNL por resolução**

A partir destes resultados é possível concluir que a pior estrutura em termos de linearidade é o DAC C-2C com condensadores com *mismatch error* 0,5%. Diminuir o erro para 0,1% melhora significativamente a linearidade do ADC sendo que esta apresenta os melhores resultados para uma resolução até 7 bits, contudo com o aumento das resoluções seguintes apresenta piores resultados face às duas estruturas implementadas com o DAC Pesado Binariamente. As duas estruturas com o DAC Pesado Binariamente apresentam resultados praticamente iguais.

Pode-se concluir que para resoluções maiores o DAC Pesado Binariamente consegue atingir melhores resultados ao nível da linearidade do conversor em comparação com o DAC C-2C.

## 4.5 Apreciações finais dos resultados obtidos

A partir dos resultados é possível verificar que tanto o DAC C-2C e o DAC Pesado Binariamente apresentam as suas vantagens e desvantagens, tal como está apresentado na Tabela 4.1 que foi feita tendo em conta diferentes resoluções.

Do ponto de vista do t3pico da linearidade o DAC Pesado Binariamente exibe melhores resultados, contudo o DAC C-2C com condensadores com *mismatch error* de 0,1% para uma resolu33o at3 7 bits tem uma melhor linearidade, assim sendo, quanto maior for o valor da capacidade dos condensadores menor ser3 o erro associado e como consequ3ncia uma melhor linearidade do ADC. Contudo este aumento afeta o valor da energia despendida e da 3rea total do DAC.

Quanto 3 energia despendida e da 3rea o DAC C-2C cont3m resultados significativamente melhores em rela33o ao DAC Pesado Binariamente, para valores de capacidade baixos. Para resolu33es acima de 8 bits as diferen3as tornam-se cada vez mais discrepantes.

Quanto maior for a capacidade dos condensadores presentes no DAC C-2C melhor 3 a sua linearidade, contudo, maior 3 a sua 3rea e pior 3 a sua efici3ncia energ3tica.

**Tabela 4.1: DAC com melhores resultados para diferentes resolu33es**

	<b>DAC com melhores resultados para diferentes resolu33es do ADC</b>		
	<b>3-6 bits</b>	<b>6-8 bits</b>	<b>8-10 bits</b>
<b>3rea</b>	C-2C com $C_{min}$	C-2C com $C_{min}$	C-2C com $C_{min}$
<b>Energia</b>	C-2C com $C_{min}$	C-2C com $C_{min}$	C-2C com $C_{min}$
<b>Linearidade</b>	C-2C com $10C_{min}$	P. Binariamente	P. Binariamente

# 5

## 5 Conclusão

O SAR ADC com Redistribuição de Carga é o tipo de SAR mais utilizado. Foi analisado o SAR ADC com DAC Pesado Binariamente perante diferentes estilos de comutação, daí resultando que o esquema de comutação que apresentou melhores resultados na eficiência energética foi o MCS.

Contudo, o DAC Pesado Binariamente apresenta uma grande desvantagem, pois para resoluções mais altas vai existir uma grande discrepância entre o valor de capacidade do bit mais significativo para o condensador do bit menos significativo. Esse problema não existe no DAC C-2C, uma vez que a maior razão que existe entre as capacidades dos condensadores é de 2. A linearidade é a principal desvantagem deste tipo de DAC.

Em seguida, foi desenvolvido um modelo de alto nível de um ADC com DAC C-2C em MATLAB, para o estudo deste. Que foi inicialmente analisado um DAC C-2C em *Single-ended* com um estilo de comutação Convencional, este estudo teve como objetivo a validação da equação geral (3.12), que serviu como base para o modelo de alto nível do ADC com DAC C-2C diferencial com um estilo de comutação em MCS.

Seguidamente, o novo modelo implementado foi alvo de diferentes avaliações nomeadamente o processo de conversão para diferentes gamas de valores de tensão de entrada o que permitiu observar o seu comportamento e como consequência a obtenção do código binário final. Em cada ciclo de conversão foi revista a energia total despendida do ADC durante o seu processo em relação a um determinado valor

de capacidade e em comparação com o DAC Pesado Binariamente estudado no capítulo 2 é muito mais energeticamente eficiente. O DAC C-2C, com a presença de capacidades parasitas também foi alvo de um estudo e foi novamente o que foi explanado no capítulo 2, uma vez que, as capacidades parasitas prejudicam significativamente a linearidade do ADC com DAC C-2C.

Em seguida, com a análise comparativa entre um ADC SAR utilizando um DAC C-2C e utilizando um DAC Pesado Binariamente foi possível concluir que ao nível de área e de eficiência energética o DAC C-2C é o que apresentou os melhores resultados. Contudo, ao nível da linearidade do ADC o DAC Pesado Binariamente foi aquele que apresentou os melhores resultados. Embora, quanto maior for a capacidade do condensador presente no DAC C-2C menor é o *mismatch error* do condensador e como foi observado nos resultados, a diferença da linearidade entre um condensador com erro de 0,5% para um que apresenta um erro 0,1% é significativamente elevada.

É de referir que, quanto maior for a capacidade do condensador no DAC C-2C maior é a área de conversão do mesmo e pior é a eficiência energética do conversor.

A terminar é de salientar que, o principal objetivo da dissertação foi concluído, uma vez que permitiu explorar o funcionamento do DAC C-2C e demonstrar as suas potencialidades, tais como, a eficiência energética e o seu valor capacidade do DAC reduzido o que implica uma área de conversão pequena. Importa ainda dizer que apesar de ser um tipo conversor pouco utilizado, apresenta as suas vantagens face ao DAC Pesado Binariamente.

## 5.1 Trabalho Futuro

No final da realização desta dissertação novas ideias e questões foram surgindo para o estudo do ADC com DAC C-2C de forma a melhorar os resultados obtidos e de criar novos desafios para o estudo deste DAC, nomeadamente:

- Estudar eletronicamente o efeito que as capacidades parasitas do uso de interruptores reais podem ter no DAC C-2C arrançando assim soluções para esse tipo de problema;
- O estudo de um ADC com um DAC híbrido, isto é, para uma resolução de 10 bits, para os 6 bits mais significativos o uso do DAC C-2C e os restantes bits serem construídos com um DAC Pesado Binariamente, fazendo com que este DAC se aproveite das vantagens do DAC C-2C e do DAC Pesado Binariamente e as desvantagens de ambos não sejam postas em evidência, tais como, a linearidade para o DAC C-2C e a área para o DAC Pesado Binariamente.

## Referências

- [1] T. Rabuske and J. Fernandes, *Charge-Sharing SAR ADCs for Low-Voltage Low-Power Applications*, 2016.
- [2] V. Hariprasath, J. Guerber, S. H. Lee, and U. K. Moon, "Merged capacitor switching based SAR ADC with highest switching energy-efficiency," *Electron. Lett.*, vol. 46, no. 9, pp. 620–621, 2010, doi: 10.1049/el.2010.0706.
- [3] X. Tong and M. Ghovanloo, "Energy-efficient switching scheme in SAR ADC for biomedical electronics," *Electron. Lett.*, vol. 51, no. 9, pp. 676–678, 2015, doi: 10.1049/el.2014.4272.
- [4] S. Bashir, S. Ali, S. Ahmed, and V. Kakkar, "Analog-to-digital converters: A comparative study and performance analysis," *Proceeding - IEEE Int. Conf. Comput. Commun. Autom. ICCA 2016*, no. May, pp. 999–1001, 2017, doi: 10.1109/CCA.2016.7813861.
- [5] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 731–740, 2010, doi: 10.1109/JSSC.2010.2042254.
- [6] P. Harpe, Y. Zhang, G. Dolmans, K. Philips, and H. De Groot, "A 7-to-10b 0-to-4MS/s flexible SAR ADC with 6.5-to-16fJ/conversion-step," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 55, pp. 472–473, 2012, doi: 10.1109/ISSCC.2012.6177096.
- [7] H. Y. Tai, Y. S. Hu, H. W. Chen, and H. S. Chen, "A 0.85fJ/conversion-step 10b 200kS/s subranging SAR ADC in 40nm CMOS," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 57, pp. 196–197, 2014, doi: 10.1109/ISSCC.2014.6757397.
- [8] C. H. Chan, Y. Zhu, S. W. Sin, U. Seng-Pan, and R. P. Martins, "A 5.5mW 6b 5GS/S 4x-Interleaved 3b/cycle SAR ADC in 65nm CMOS," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 58, pp. 466–467, 2015, doi: 10.1109/ISSCC.2015.7063128.
- [9] J. Sauerbrey, D. Schmitt-Landsiedel, and R. Thewes, "A 0.5-V 1- $\mu$  W successive approximation ADC," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1261–1265, 2003, doi: 10.1109/JSSC.2003.813217.
- [10] H. Balasubramaniam, W. Galjan, W. H. Krautschneider, and H. Neubauer, "12-bit hybrid C2C DAC based SARADC with floating voltage shield," *3rd Int. Conf. Signals, Circuits Syst. SCS 2009*, pp. 1–5, 2009, doi: 10.1109/ICSCS.2009.5412227.
- [11] N. Bako and A. Baric, "A low-power fully differential 9-bit C-2C cyclic ADC," *2011 20th Eur. Conf. Circuit Theory Des. ECCTD 2011*, no. May 2014, pp. 576–579, 2011, doi: 10.1109/ECCTD.2011.6043599.

- [12] L. Cong, "Pseudo C-2C ladder-based data converter technique," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 48, no. 10, pp. 927–929, 2001, doi: 10.1109/82.974780.
- [13] C. Y. Liou and C. C. Hsieh, "A 2.4-to-5.2fJ/conversion-step 10b 0.5-to-4MS/s SAR ADC with charge-average switching DAC in 90nm CMOS," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 56, pp. 280–281, 2013, doi: 10.1109/ISSCC.2013.6487735.
- [14] X. Tong and Y. Zhang, "98,8% switching energy reduction in SAR ADC for bioelectronics application," *Electron. Lett.*, vol. 51, no. 14, pp. 1052–1054, 2015, doi: 10.1049/el.2014.4112.
- [15] S. Jeong *et al.*, "A 120nW 8b sub-ranging SAR ADC with signal-dependent charge recycling for biomedical applications," *IEEE Symp. VLSI Circuits, Dig. Tech. Pap.*, vol. 2015-Augus, pp. C60–C61, 2015, doi: 10.1109/VLSIC.2015.7231327.
- [16] S. E. Hsieh and C. C. Hsieh, "A 0.44fJ/conversion-step 11b 600KS/s SAR ADC with semi-resting DAC," *IEEE Symp. VLSI Circuits, Dig. Tech. Pap.*, vol. 2016-Septe, pp. 1–2, 2016, doi: 10.1109/VLSIC.2016.7573519.
- [17] H. S. Bindra, A. Annema, S. M. Louwsma, and B. Nauta, "A 0.2 - 8 MS/s 10b flexible SAR ADC achieving 0.35 - 2.5 fJ/conv-step and using self-quenched dynamic bias comparator," *2019 Symp. VLSI Circuits*, vol. 1, no. c, pp. 74–75, 2019.
- [18] Y. Zhu, S. Member, C. Chan, U. Chio, S. Member, and A. A. V Ms, "A 10-bit 100-MS / s Reference-Free SAR ADC" vol. 45, no. 6, pp. 1111–1121, 2010.
- [19] J. McCreary and P. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques—Part I."
- [20] L. Cong and W. C. Black, "A new charge redistribution D/A and A/D converter technique -pseudo C-2C ladder," *Midwest Symp. Circuits Syst.*, vol. 1, pp. 498–501, 2000, doi: 10.1109/mwscas.2000.951692.
- [21] M. Saberi, R. Lotfi, K. Mafinezhad, and W. A. Serdijn, "Analysis of power consumption and linearity in capacitive digital-to-analog converters used in successive approximation ADCs," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 58, no. 8, pp. 1736–1748, 2011, doi: 10.1109/TCSI.2011.2107214.
- [22] B. P. Ginsburg and A. P. Chandrakasan, "An Energy-Efficient Charge Recycling Approach for a SAR Converter With Capacitive DAC," *Proc. - IEEE Int. Symp. Circuits Syst.*, pp. 184–187, 2005, doi: 10.1109/ISCAS.2005.1464555.
- [23] Boris Murmann, "ADC Performance Survey 1997-2019."
- [24] M. Van Elzakker, E. Van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, and B. Nauta, "A 1.9 $\mu$ W 4.4fJ/conversion-step 10b 1MS/S charge-redistribution ADC," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 51, no. March, pp. 10–13, 2008, doi: 10.1109/ISSCC.2008.4523148.
- [25] H. Y. Tai, H. W. Chen, and H. S. Chen, "A 3.2fJ/c.-s. 0.35V 10b 100KS/s SAR ADC in 90nm CMOS," *IEEE Symp. VLSI Circuits, Dig. Tech. Pap.*, pp. 92–93, 2012, doi:

10.1109/VLSIC.2012.6243805.

- [26] C. C. Liu, S. J. Chang, G. Y. Huang, Y. Z. Lin, and C. M. Huang, "A 1V 11fJ/Conversion-step 10bit 10MS/s asynchronous SAR ADC in 0.18 $\mu$ m CMOS," *IEEE Symp. VLSI Circuits, Dig. Tech. Pap.*, pp. 241–242, 2010, doi: 10.1109/VLSIC.2010.5560283.
- [27] C. C. Liu and M. C. Huang, "A 0.46mW 5MHz-BW 79.7dB-SNDR noise-shaping SAR ADC with dynamic-amplifier-based FIR-IIR filter," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 60, pp. 466–467, 2017, doi: 10.1109/ISSCC.2017.7870463.
- [28] S. E. Hsieh and C. C. Hsieh, "A 0.4V 13b 270kS/S SAR-ISDM ADC with an opamp-less time-domain integrator," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 61, pp. 240–242, 2018, doi: 10.1109/ISSCC.2018.8310273.
- [29] M. Furuta, M. Nozawa, and T. Itakura, "A 0.06mm<sup>2</sup> 8.9b ENOB 40MS/s pipelined SAR ADC in 65nm CMOS," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 53, no. 12, pp. 382–383, 2010, doi: 10.1109/ISSCC.2010.5433968.
- [30] L. Shen *et al.*, "3.4 A 0.01mm<sup>2</sup> 25 $\mu$ W 2MS/s 74dB-SNDR Continuous-Time Pipelined-SAR ADC with 120fF Input Capacitor," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 2019-Febru, pp. 64–66, 2019, doi: 10.1109/ISSCC.2019.8662406.
- [31] N. Le Dortz *et al.*, "A 1.62GS/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70dBFS," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 57, pp. 386–387, 2014, doi: 10.1109/ISSCC.2014.6757481.
- [32] H. Omran, R. T. Elafandy, M. Arsalan, and K. N. Salama, "Direct Mismatch Characterization of Femtofarad Capacitors," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 63, no. 2, pp. 151–155, 2016, doi: 10.1109/TCSII.2015.2468919.
- [33] T. O. Anderson, "Optimum control logic for successive approximation analog-to-digital converters," *Deep Space Network Progress Report*, vol. 13, pp. 168–176, 1972.
- [34] L. Power and S. A. R. Adc, "A Study of Successive Approximation Registers and Implementation of an Ultra- Low Power 10-bit SAR ADC in 65nm CMOS Technology Master ' s thesis performed in Electronic Devices " September 2011, 2017.

## Anexos 1 - Simulações Elétricas obtidas através do Cadence

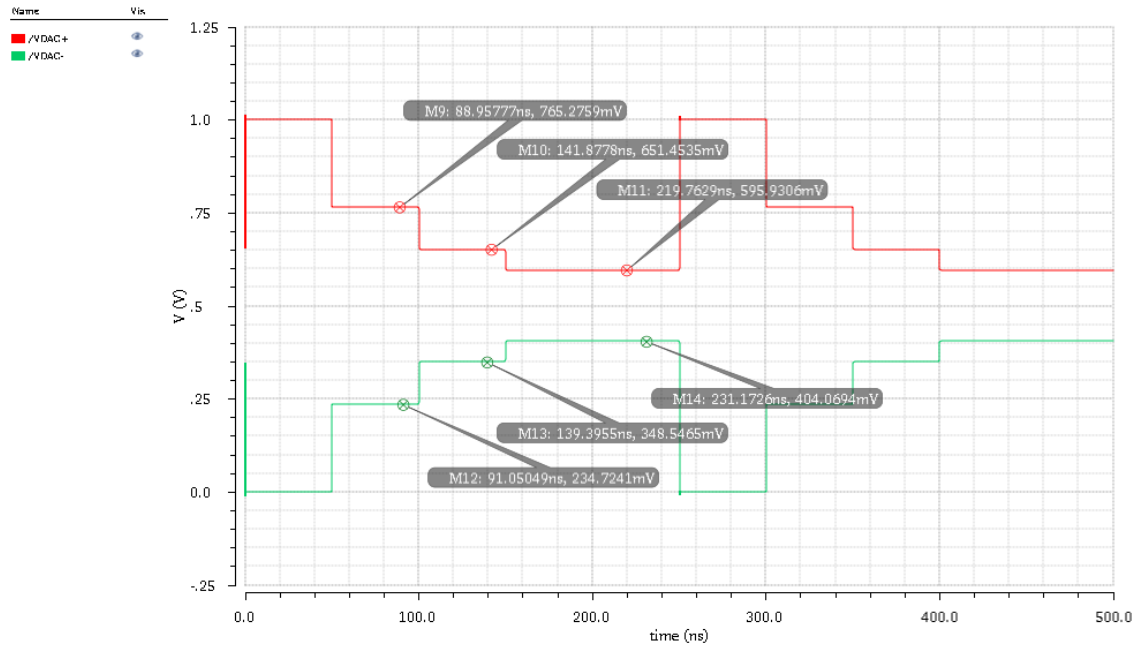


Figura 5.1: Conversão do sinal com DAC C-2C ideal

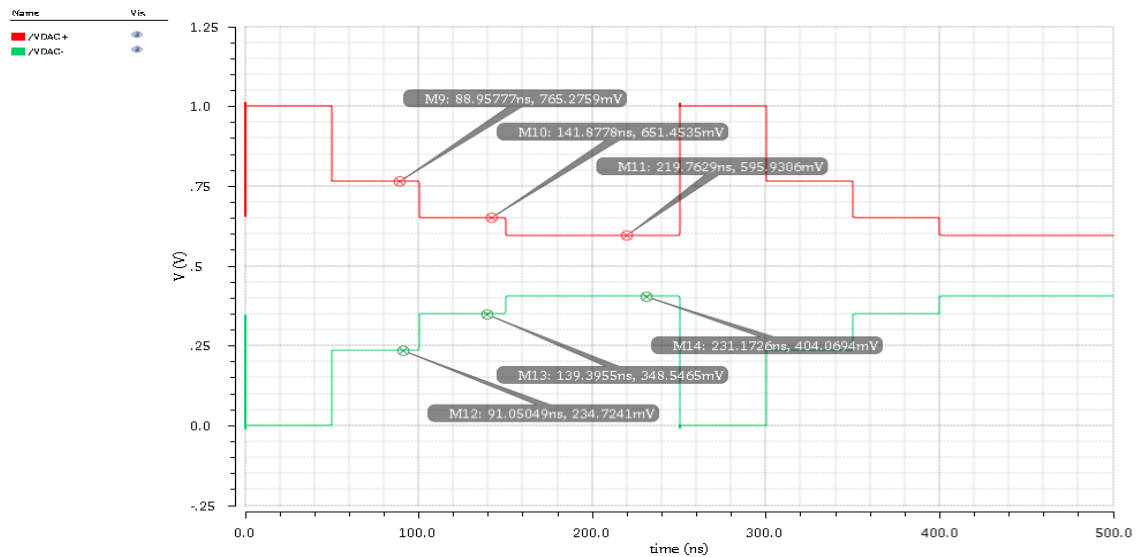


Figura 5.2: Conversão do sinal com DAC C-2C ideal e capacidades parasitas de 10%

## Anexos 2 – DACs implementados em *Cadence*

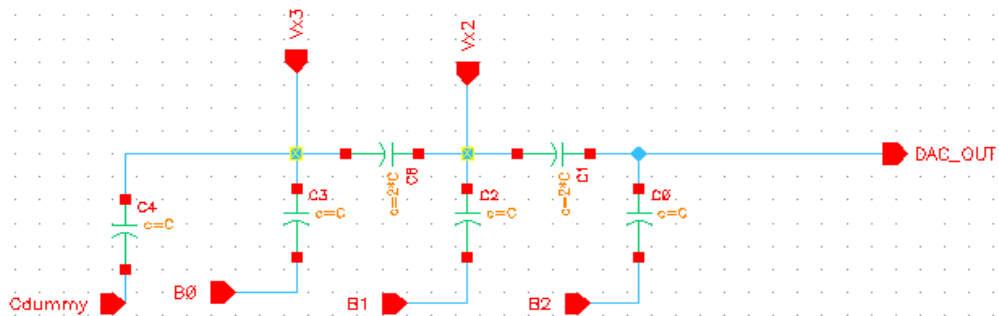


Figura 5.3: DAC C-2C implementado no *Cadence*

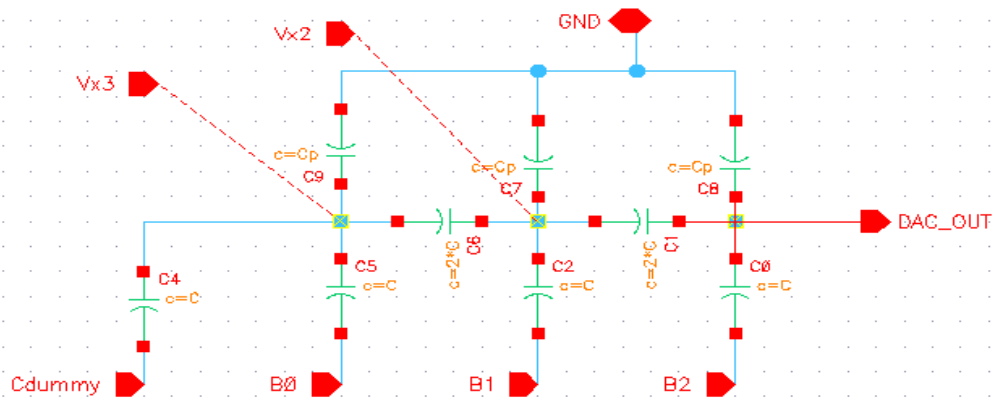


Figura 5.4: DAC C-2C com capacidades parasita implementado no *Cadence*

### Anexos 3 – Circuito de Interruptores

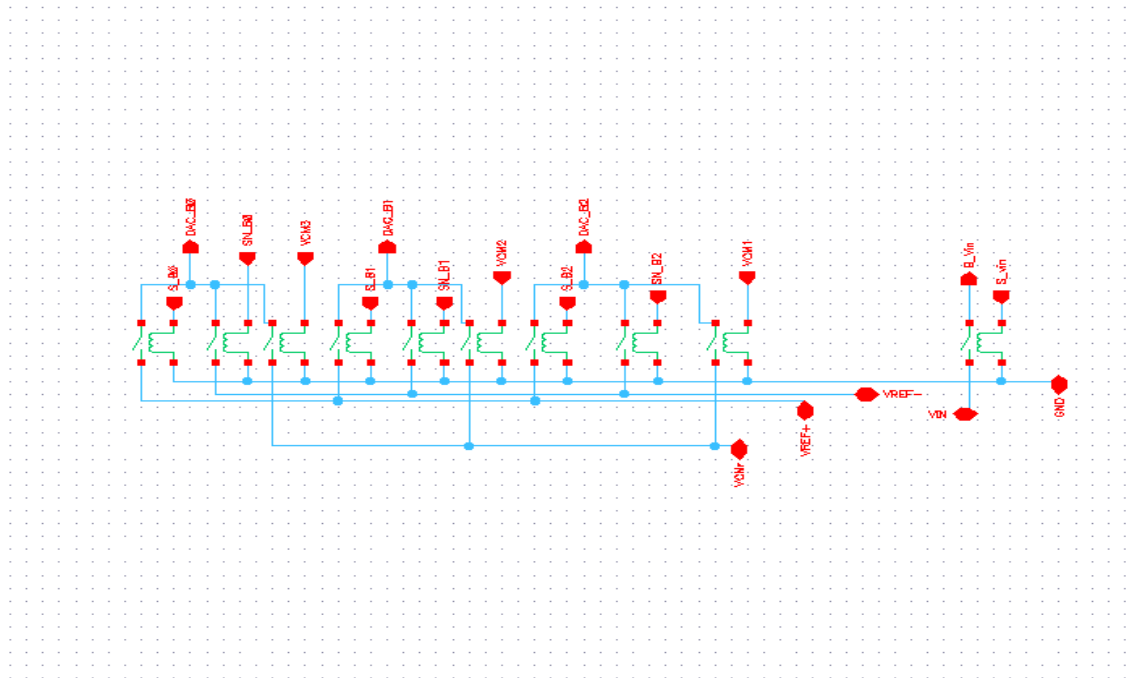


Figura 5.5: Circuito de Interruptores

### Anexos 4 – Estrutura do SAR ADC com DAC C-2C implementado

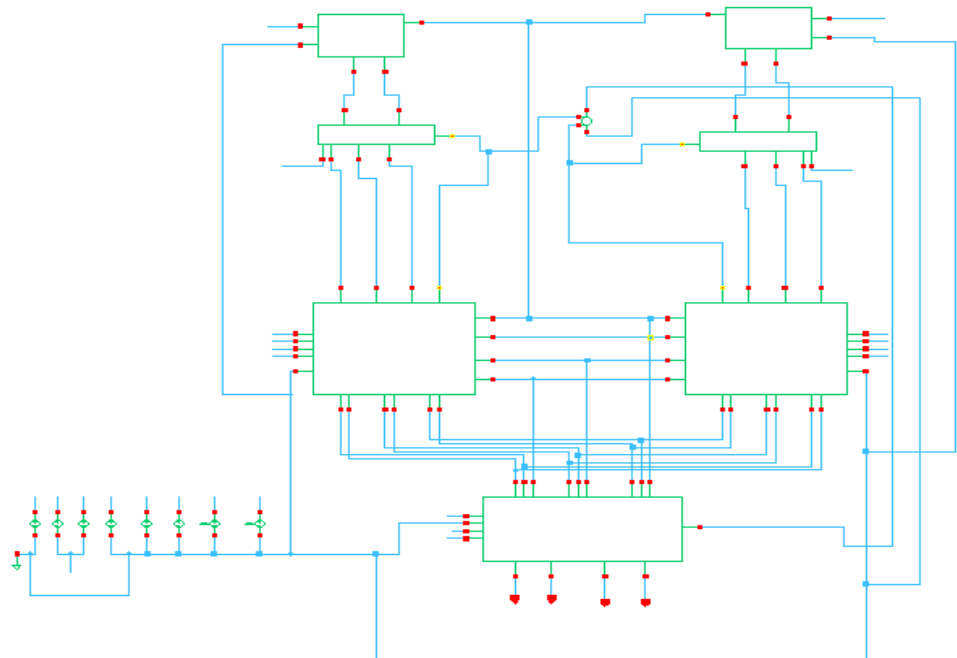


Figura 5.6: Estrutura do SAR ADC com DAC C-2C implementado no *Cadence*

## Anexos 5 – Controlador da Lógica SAR implementado através do *Cadence*

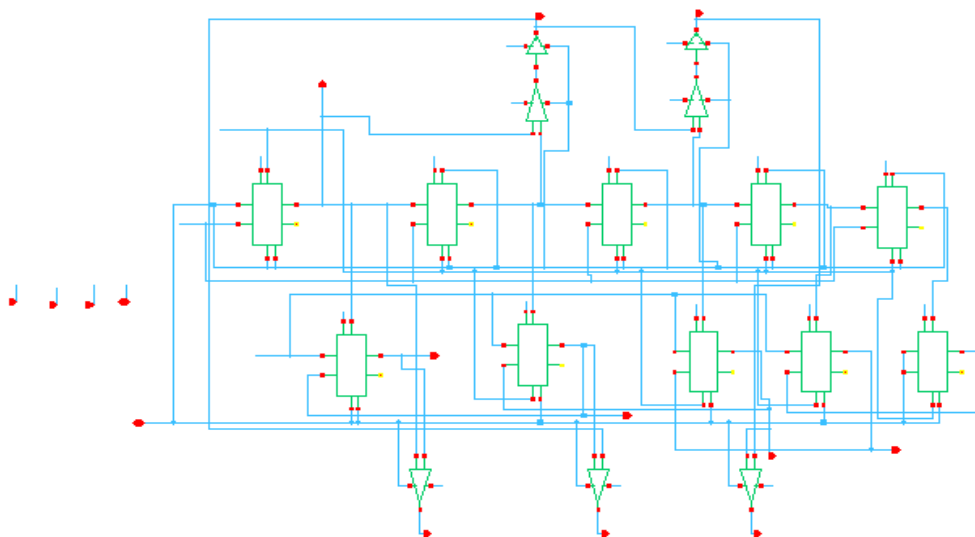


Figura 5.7: Máquina de estado com a lógica SAR implementada