



Fábio Emanuel Ferreira Querido

Licenciado em Ciências da Engenharia Electrotécnica e de
Computadores

Projeto de um Altifalante Digital

Dissertação para obtenção do Grau de Mestre em
Engenharia Electrotécnica e de Computadores

Orientador: Prof. Doutor Nuno Filipe Silva Veríssimo Paulino,
Prof. Auxiliar, Universidade Nova de Lisboa

Júri:

Presidente: Prof. Doutor Luís Filipe dos Santos Gomes

Arguentes: Prof. Doutor João Pedro Abreu de Oliveira

Projeto de um Altifalante Digital

Copyright © Fábio Emanuel Ferreira Querido, Faculdade de Ciências e Tecnologia, Universidade Nova de Lisboa.

A Faculdade de Ciências e Tecnologia e a Universidade Nova de Lisboa têm o direito, perpétuo e sem limites geográficos, de arquivar e publicar esta dissertação através de exemplares impressos reproduzidos em papel ou de forma digital, ou por qualquer outro meio conhecido ou que venha a ser inventado, e de a divulgar através de repositórios científicos e de admitir a sua cópia e distribuição com objetivos educacionais ou de investigação, não comerciais, desde que seja dado crédito ao autor e editor.

*A todos os meus
Familiares
e Amigos*

Agradecimentos

Primeiramente, gostaria de agradecer ao meu orientador, Prof. Nuno Paulino, pela motivação e entusiasmo de propor um tema com aplicações práticas das mais diversas áreas de Engenharia Electrotécnica, estando incluído neste projeto uma grande vertente prática, e como objetivo de ver/ouvir tudo a funcionar no final, e pelo grande auxílio quando alguns problemas surgiam.

Quero também agradecer em particular aos Professores Luís Oliveira, João Oliveira e João Goes pela disponibilidade nas publicações dos três artigos que contribuíram com bases de conhecimentos fundamentais para este projeto.

Seguidamente a todos os restantes professores da área de Eletrónica, Sistemas Digitais, assim como as restantes áreas pois foram estes os responsáveis por muitas das bases adquiridas ao longo destes últimos anos.

À Faculdade de Ciências e Tecnologia da Universidade Nova de Lisboa pelo ambiente acolhedor e por toda a formação nas mais diversas áreas.

Ao meu pai, Carlos Ferreira, que foi o grande responsável pela maioria dos componentes, placas de desenvolvimento, pelas condições de trabalho e pelo apoio.

Ao Paulo Soares, que disponibilizou o estúdio de gravação para possibilitar a aquisição dos dados necessários para analisar características importantes na qualidade de áudio, assim como a comparação a um sistema profissional no mercado.

Ao Eng. Martinho Dias que proporcionou numa outra fase a placa de desenvolvimento associada à FPGA, sendo inicialmente projetada para outro fim.

Por fim, a todos os que estiveram relacionados direta ou indiretamente neste emocionante projeto.

Resumo

Devido ao crescente desenvolvimento das nanotecnologias, estando associadas a melhoria da eficiência energética assim como mais processamento de dados e a redução dos custos, esta dissertação possibilita todo o enquadramento com sistemas modernos ao nível do áudio digital.

Tendo como base esta perspectiva, esta dissertação apresenta um sistema de áudio completo desde a fonte do sinal digital no PC até ao sinal analógico no altifalante. O sistema é constituído pelos seguintes módulos: a interface do utilizador no PC, o Processador Digital de Sinais (DSP), o amplificador digital e os altifalantes. O sistema é baseado na amplificação de classe D controlada por um modulador sigma delta ($\Sigma\Delta$) digital.

São abordadas as técnicas utilizadas e os cuidados a ter em conta em cada módulo, tendo como principal objetivo uma boa qualidade de áudio.

Diferentes arquiteturas $\Sigma\Delta$ são primeiramente analisadas por simulações para validar a estabilidade e a funcionalidade, seguidamente são implementadas ao nível físico no protótipo para qualificar algumas medições elétricas e testes acústicos básicos.

Depois de selecionados os $\Sigma\Delta$ mais promissores, o sistema foi avaliado pela análise de alguns testes elétricos de alto nível assim como gravações do sinal de áudio em um ambiente de estúdio controlado. Os resultados acústicos são comparados com um sistema de estúdio com reconhecimento no mercado.

As medições finais do protótipo revelaram valores do rendimento de até 72%, a SNR na saída do amplificador digital de 73 dB através da leitura com o Audio Precision ATS-2, com uma THD de -75 dB e uma gama dinâmica (DR) de 75 dB. A tensão de alimentação pode ir dos 5 aos 12 Volt, utilizando uma metodologia H-bridge na saída do amplificador, e podendo ser aplicada uma carga mínima de 4 Ohm.

O sistema desenvolvido demonstra-se promissor e possibilita melhorias através de otimização de cada elemento em particular, desde adicionar capacidades ao DSP através de novo *firmware*, ou melhorar a potência do amplificador digital consoante os requisitos da aplicação.

Palavras-chave: Áudio Digital, Modulador Sigma-Delta ($\Sigma\Delta$), Conversor Digital-Digital (DDC), Amplificador Digital, Amplificador Classe D.

Abstract

Due to the increasing development of nanotechnology, being associated with improving the energy efficiency as well as more data processing and cost reduction, this work allows fits with the modern level of digital audio systems.

Based on this perspective, this Thesis presents a complete audio system from the digital source in the PC to the analog signal in the speaker. The system is constituted by the following modules: user interface on the PC, the Digital Signal Processor (DSP), the digital amplifier and the speakers. The system is based on class D amplifier controlled by a digital sigma delta modulator ($\Sigma\Delta\text{M}$).

The techniques used in each module in order to achieve the main goal of obtaining good audio quality are described.

The different $\Sigma\Delta\text{M}$ architectures are first analyzed using simulations to validate the stability and the functionality, then are implemented at the physical level in the prototype to qualify some basic electrical measurements and acoustic tests.

After the most promising $\Sigma\Delta\text{M}$ are selected, the system was evaluated by analyzing some high level electrical measurements and recording the audio signal in a controlled studio environment. These acoustic results are compared to an existing studio system with recognition in the market.

The final prototype measurements showed values in efficiency of up to 72%, the SNR at the output of the digital amplifier of 73 dB through the reading with the Audio Precision ATS-2, with a THD of -75dB and a dynamic range (DR) of 75 dB. The supply voltage can go from 5 to 12 Volt, using an H-bridge methodology at the amplifier output, allowing 4 Ohm as a minimum load.

The developed system shows promising and allows improvements through the optimization of each specific element, from adding DSP capabilities through new firmware, or improve the power in the digital amplifier to the application requirements.

Keywords: Digital Audio, Sigma-Delta Modulator ($\Sigma\Delta\text{M}$), Digital-Digital Converter (DDC), Digital Amplifier, Class D Amplifier.

Abreviaturas

	<i>Ingles</i>	<i>Português</i>
ADC	<i>Analog-to-Digital Converter</i>	<i>Conversor Analógico-Digital</i>
CD	<i>Compact Disc</i>	<i>Disco Compacto</i>
DAC	<i>Digital to Analog Converter</i>	<i>Conversor Digital-Analógico</i>
DEM	<i>Dynamic Element Matching</i>	-
DR	<i>Dynamic Range</i>	<i>Gama Dinâmica</i>
DSP	<i>Digital Signal Processor</i>	<i>Processador de Sinais Digitais</i>
EMI	<i>Electromagnetic Interference</i>	<i>Interferência Eletromagnética</i>
MCU/μC	<i>Microcontroller</i>	<i>Microcontrolador</i>
nMOS	<i>n-type Metal Oxide Semiconductor</i>	-
PC	<i>Personal Computer</i>	<i>Computador</i>
PCM	<i>Pulse Code Modulation</i>	<i>Modulação por Código de Pulso</i>
PDM	<i>Pulse Density Modulation</i>	<i>Modulação por Densidade de Pulso</i>
pMOS	<i>p-type Metal Oxide Semiconductor</i>	-
PWM	<i>Pulse With Modulator</i>	<i>Modulação por Largura de Pulso</i>
SNDR	<i>Signal to Noise and Distortion Ratio</i>	<i>Relação Sinal-Ruído e Distorção</i>
SNR	<i>Signal to Noise Ratio</i>	<i>Relação Sinal-Ruído</i>
SPL	<i>Sound Pressure Level</i>	<i>Nível de Pressão Sonora</i>
THD	<i>Total Harmonic Distortion</i>	<i>Distorção Harmónica Total</i>
USB	<i>Universal Serial Bus</i>	-
ΣΔM	<i>Sigma-Delta Modulator</i>	<i>Modulador Sigma-Delta</i>

Conteúdo

1	INTRODUÇÃO	1
1.1	MOTIVAÇÃO	4
1.2	ORGANIZAÇÃO DA DISSERTAÇÃO	5
2	BÁSICO DOS MODULADORES SIGMA DELTA	7
3	ESTUDO TEÓRICO	13
3.1	SIGMA-DELTA APLICADO NESTA DISSERTAÇÃO.....	13
3.2	ANÁLISE DE SINAIS DISCRETOS.....	15
3.3	COMUNICAÇÃO SÉRIE	15
3.4	AMPLIFICADOR DIGITAL.....	16
3.5	ACÚSTICA E ALTI-FALANTES.....	16
4	IMPLEMENTAÇÃO DO SISTEMA/PROTÓTIPO	19
4.1	PRIMEIRA ABORDAGEM DO SISTEMA	19
4.2	ARQUITETURA FINAL DO SISTEMA	20
4.3	IMPLEMENTAÇÃO DO DSP	20
4.4	IMPLEMENTAÇÃO DO AMPLIFICADOR DIGITAL	22
4.5	IMPLEMENTAÇÃO DA CAIXA ACÚSTICA.....	25
4.6	COMUNICAÇÃO SÉRIE.....	26
4.7	TESTES DSP.....	29
4.8	COMUNICAÇÃO DSP-AMPLIFICADOR DIGITAL	29
5	SIMULAÇÕES/ANÁLISE DE RESULTADOS	33
6	AVALIAÇÃO EXPERIMENTAL DO SISTEMA	49
6.1	AVALIAÇÃO EXPERIMENTAL DO MODULADOR $\Sigma\Delta$ DIGITAL.....	50
6.2	AVALIAÇÃO EXPERIMENTAL DO AMPLIFICADOR CLASSE D.....	55
6.3	RENDIMENTO	58

Conteúdo

6.1 AVALIAÇÃO ACÚSTICA DO AMPLIFICADOR CLASSE D.....	60
6.2 ANÁLISE GERAL	68
7 CONCLUSÃO	69
7.1 TRABALHO FUTURO.....	70
ANEXO	73
DEFINIÇÕES.....	73
RESULTADOS ADICIONAIS	74
ESQUEMA DE 1 CANAL DO AMPLIFICADOR DIGITAL	95
IMAGENS ADICIONAIS DA COMPONENTE PRÁTICA	96
SOFTWARE UTILIZADO PARA DESENVOLVIMENTO:	97
PUBLICAÇÕES	98
BIBLIOGRAFIA.....	99

Lista de Figuras

FIGURA 1.1: SISTEMA DE CONVERSÃO DE DADOS CONVENCIONAL PCM (“SUPER AUDIO CD DSD DECODER,” 2014).	2
FIGURA 1.2: SISTEMA DE CONVERSÃO DIRECT STREAM DIGITAL (DSD) (“SUPER AUDIO CD DSD DECODER,” 2014).	2
FIGURA 1.3: REPRESENTAÇÃO DAS CURVAS COM NÍVEIS DE INTENSIDADE SONORA EQUIVALENTES AO OUVIDO HUMANO (“EQUAL LOUDNESS CONTOURS AND AUDIOMETRY,” 2014).	4
FIGURA 2.1: MODELADOR SIGMA-DELTA.	7
FIGURA 2.2: DISTRIBUIÇÃO DO RUÍDO AO AUMENTAR O OSR.	8
FIGURA 2.3: O RUÍDO DE BAIXA FREQUÊNCIA É EMPURRADO PARA AS ALTAS FREQUÊNCIAS ATRAVÉS DO <i>NOISE SHAPING</i> .	9
FIGURA 2.4: COMPARAÇÃO DE DOIS QUANTIZADORES DE DIFERENTES NÍVEIS. A) 3.5 BIT (9 NÍVEIS). B) 1 BIT (2 NÍVEIS). O GRÁFICO DE CIMA REPRESENTA A FUNÇÃO TRANSFERÊNCIA E O DE BAIXO REPRESENTA O ERRO DE QUANTIZAÇÃO.	9
FIGURA 2.5: STREAM DE SAÍDA (AZUL) DE UM MODULADOR DE 2ª ORDEM DE 1 BIT COM UMA OSR BAIXA.	10
FIGURA 3.1: MODULADOR TÍPICO DE 2ª ORDEM.	13
FIGURA 3.2: MODULADOR TÍPICO DE 3ª ORDEM CRFB.	14
FIGURA 3.3: ARQUITETURA MASH DE DOIS ANDARES COM CANCELAMENTO DE RUÍDO.	14
FIGURA 3.4: EXEMPLO DE TRÊS INTERPOLAÇÕES.	15
FIGURA 3.5: RESPOSTA EM FREQUÊNCIA DE UM ALTIFALANTE.	17
FIGURA 4.1: ESQUEMÁTICO SIMPLIFICADO.	20
FIGURA 4.2: ARQUITETURA SIMPLIFICADA DO PROCESSADOR DE SINAIS DIGITAIS.	21
FIGURA 4.3: TESTES INICIAIS COM O MÓDULO DSP.	21
FIGURA 4.4: PROTÓTIPO COMPLETAMENTE FUNCIONAL DO DSP COM 4 CANAIS.	22
FIGURA 4.5: ESQUEMÁTICO SIMPLIFICADO DO AMPLIFICADOR DIGITAL.	22
FIGURA 4.6: H-BRIDGE SIMPLIFICADA.	23
FIGURA 4.7: FILTRO DE SAÍDA.	23
FIGURA 4.8: AMPLIFICADOR DIGITAL DE 4 CANAIS (CIMA).	24
FIGURA 4.9: AMPLIFICADOR DIGITAL DE 4 CANAIS (BAIXO).	24
FIGURA 4.10: FORRO INTERNO DA CAIXA ACÚSTICA.	25

Lista de Figuras

FIGURA 4.11: FRONTAL DO ALTIFALANTE.....	26
FIGURA 4.12: VALORES MÉDIOS OBTIDOS NOS TESTES DE COMUNICAÇÃO ENTRE O PC E O μ C CONSOANTE O TAMANHO DA FRAME.	27
FIGURA 4.13: DIAGRAMA SEQUÊNCIA DA COMUNICAÇÃO.....	28
FIGURA 4.14: INTERFACE PC - DSP.....	29
FIGURA 4.15: ATRASO NA TRANSMISSÃO DO SINAL ATÉ À CARGA. CH1: SAÍDA DA FPGA. CH2: SAÍDA + DA H-BRIDGE DO AMPLIFICADOR DIGITAL.....	30
FIGURA 4.16: RELAÇÃO DO TEMPO NONOVERLAPING COM A FREQUÊNCIA MÁXIMA NA SAÍDA DO MODULADOR.....	31
FIGURA 4.17: COM NONOVERLAPING DE 30NS. CH1: SINAL NA GATE DO PMOS (S1 DA H-BRIDGE). CH2: SINAL NA GATE DO NMOS (S3 DA H-BRIDGE).....	31
FIGURA 4.18: COM NONOVERLAPING DE 18NS. CH1: SINAL NA GATE DO PMOS (S1 DA H-BRIDGE). CH2: SINAL NA GATE DO NMOS (S3 DA H-BRIDGE).....	32
FIGURA 5.1: MODULADOR $\Sigma\Delta$ DE 2ª ORDEM COM REALIMENTAÇÃO.....	33
FIGURA 5.2: DENSIDADE ESPETRAL OBTIDA ATRAVÉS DE SIMULAÇÃO PARA O MODULADOR DE 2ª ORDEM COM QUANTIZAÇÃO DE 1 BIT.	34
FIGURA 5.3: MODULADOR $\Sigma\Delta$ COM ARQUITETURA MASH 2+2.....	35
FIGURA 5.4: DENSIDADE ESPETRAL OBTIDA ATRAVÉS DE SIMULAÇÃO PARA O MODULADOR DE 4ª ORDEM MASH 2+2.	35
FIGURA 5.5: SINAL DE SAÍDA DA ARQUITETURA MASH 2+2 COM UM SINAL DE ENTRADA DE 1 KHz COM AMPLITUDE MÁXIMA A 16 BIT.....	36
FIGURA 5.6: HISTOGRAMA DOS PESOS DO SINAL DE SAÍDA DOUT.	37
FIGURA 5.7: DENSIDADE ESPETRAL OBTIDA ATRAVÉS DE SIMULAÇÃO PARA O MODULADOR DE 2ª ORDEM COM QUANTIZAÇÃO DE 3.5BIT.	39
FIGURA 5.8: SINAL DE SAÍDA DA ARQUITETURA DE 2ª ORDEM 3.5 BIT COM UM SINAL DE ENTRADA DE 1 KHz COM AMPLITUDE MÁXIMA A 16 BIT.....	40
FIGURA 5.9: HISTOGRAMA DA SAÍDA DO MODULADOR $\Sigma\Delta$ DE 2ª ORDEM COM QUANTIZAÇÃO DE 3.5 BIT.	40
FIGURA 5.10: MODULADOR $\Sigma\Delta$ DE 3ª ORDEM CRFB DE BAIXA DISTORÇÃO.....	41
FIGURA 5.11: ANÁLISE ESPETRAL DO MODULADOR DE 3ª ORDEM SEM RESSOADOR, COM QUANTIZAÇÃO DE 1 BIT....	41
FIGURA 5.12: ANÁLISE ESPETRAL DO MODULADOR DE 3ª ORDEM SEM RESSOADOR, COM QUANTIZAÇÃO DE 1.5 BIT.	42
FIGURA 5.13: ANÁLISE ESPETRAL DO MODULADOR DE 3ª ORDEM COM RESSOADOR, COM QUANTIZAÇÃO DE 1 BIT. ..	42
FIGURA 5.14: ANÁLISE ESPETRAL DO MODULADOR DE 3ª ORDEM COM RESSOADOR, COM QUANTIZAÇÃO DE 1.5 BIT.	43
FIGURA 5.15: ANÁLISE ESPETRAL DO MODULADOR DE 3ª ORDEM COM RESSOADOR, COM QUANTIZAÇÃO DE 1.5 BIT (ARQUITETURA CONVENCIONAL).....	43
FIGURA 5.16: MODULADOR $\Sigma\Delta$ DE 5ª ORDEM CRFB DE BAIXA DISTORÇÃO.....	44
FIGURA 5.17: ANÁLISE ESPETRAL DO MODULADOR DE 5ª ORDEM SEM RESSOADORES, COM QUANTIZAÇÃO DE 1 BIT.	44
FIGURA 5.18: ANÁLISE ESPETRAL DO MODULADOR DE 5ª ORDEM SEM RESSOADORES, COM QUANTIZAÇÃO DE 1.5 BIT.	45
FIGURA 5.19: ANÁLISE ESPETRAL DO MODULADOR DE 5ª ORDEM COM RESSOADORES, COM QUANTIZAÇÃO DE 1 BIT.	45
FIGURA 5.20: ANÁLISE ESPETRAL DO MODULADOR DE 5ª ORDEM COM RESSOADORES, COM QUANTIZAÇÃO DE 1.5 BIT.	46

FIGURA 5.21: ANÁLISE ESPETRAL DO MODULADOR DE 5ª ORDEM COM RESSOADORES, COM QUANTIZAÇÃO DE 1+ BIT.	46
FIGURA 5.22: HISTOGRAMA DA SAÍDA DO MODULADOR $\Sigma\Delta$ DE 5ª ORDEM COM QUANTIZAÇÃO DE 1+ BIT COM 2 RESSOADORES.	47
FIGURA 5.23: A) GRÁFICO COM QUANTIZAÇÃO DE 1.5 BIT. B) GRÁFICO COM QUANTIZAÇÃO 1+ BIT.	47
FIGURA 6.1: BANCADA DE TRABALHO (MEDIÇÕES AVANÇADAS).	50
FIGURA 6.2: ESPETRO DE FREQUÊNCIA DA SIMULAÇÃO COM O MODULADOR A 1 BIT.	51
FIGURA 6.3: ESPETRO DE FREQUÊNCIA DA SIMULAÇÃO.	51
FIGURA 6.4: ESPETRO DE FREQUÊNCIA NA SAÍDA DO MODULADOR $\Sigma\Delta$ COM A QUANTIZAÇÃO DE 1 BIT, COM UM RESSOADOR EFETUADA A PARTIR DE MEDIÇÕES DIGITAIS (403199 PONTOS, JANELA: BLACKMAN-HARRIS).	52
FIGURA 6.5: ESPETRO DE FREQUÊNCIA NA SAÍDA DO MODULADOR $\Sigma\Delta$ COM A QUANTIZAÇÃO DE 1 BIT, COM DOIS RESSOADORES EFETUADA A PARTIR DE MEDIÇÕES DIGITAIS (403200 PONTOS, JANELA: BLACKMAN-HARRIS).	53
FIGURA 6.6: NORMA REPRESENTATIVA DE NÍVEIS DE INTENSIDADE EQUIVALENTES CONSOANTE A FREQUÊNCIA PARA O SER HUMANO.	54
FIGURA 6.7: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT, COM UM RESSOADOR EFETUADA A PARTIR DE MEDIÇÕES DIGITAIS COM A FUNÇÃO TRANSFERÊNCIA DO FILTRO ISO 226 (403199 PONTOS, JANELA: BLACKMAN-HARRIS).	54
FIGURA 6.8: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT, COM DOIS RESSOADORES EFETUADA A PARTIR DE MEDIÇÕES DIGITAIS COM A FUNÇÃO TRANSFERÊNCIA DO FILTRO ISO 226 (403200 PONTOS, JANELA: BLACKMAN-HARRIS).	55
FIGURA 6.9: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT, COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE: 100%).	56
FIGURA 6.10: SNDR/SNR EM FUNÇÃO DA AMPLITUDE DA ENTRADA DIN CALCULADO ATRAVÉS DOS DADOS OBTIDOS NO AUDIO PRECISION NA SAÍDA DE UM CANAL DO AMPLIFICADOR DIGITAL (FREQUÊNCIA: 1kHz).	56
FIGURA 6.11: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT, COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE: 100%).	57
FIGURA 6.12: THD EM FUNÇÃO DA FREQUÊNCIA PARA TRÊS AMPLITUDES CALCULADA ATRAVÉS DOS DADOS OBTIDOS NO AUDIO PRECISION.	57
FIGURA 6.13: COMPARAÇÃO DO RENDIMENTO COM AS QUANTIZAÇÕES DE 1 E 1+ BIT, COM O <i>NONOVERLAP</i> DE 18NS.	58
FIGURA 6.14: COMPARAÇÃO DO RENDIMENTO COM AS QUANTIZAÇÕES DE 1 E 1+ BIT, COM O <i>NONOVERLAP</i> DE 30NS.	59
FIGURA 6.15: SAÍDA DE UM CANAL DO AMPLIFICADOR DIGITAL COM A ALIMENTAÇÃO DE 5V E AMPLITUDE DO SINAL DE ENTRADA A 100%. CH1: SAÍDA POSITIVA (AC). CH2: SAÍDA NEGATIVA (AC). M: DIFERENÇA CH1 - CH2 OU TENSÃO NA CARGA.	59
FIGURA 6.16: RESPOSTA EM FREQUÊNCIA DO MICROFONE NEUMANN TLM49 (“NEUMANN TLM 49,” 2014).	60
FIGURA 6.17: ALTIFALANTE PROFISSIONAL COMPARADO (FOCAL CMS 65).	61
FIGURA 6.18: DISPOSIÇÃO DOS ALTIFALANTES NO ESTÚDIO PARA AS GRAVAÇÕES ACÚSTICAS.	61
FIGURA 6.19: RÚIDO BASE NO AMBIENTE DE GRAVAÇÃO.	62
FIGURA 6.20: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 1 KHz A 100%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.	63

Lista de Figuras

FIGURA 6.21: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 1 kHz A 60%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	63
FIGURA 6.22: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 1 kHz A 31%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	64
FIGURA 6.23: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 0.5 kHz A 100%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	64
FIGURA 6.24: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 0.5 kHz A 60%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	65
FIGURA 6.25: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 0.5 kHz A 31%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	65
FIGURA 6.26: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 3 kHz A 100%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	66
FIGURA 6.27: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 3 kHz A 60%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	66
FIGURA 6.28: COMPARAÇÃO DO ESPECTRO DE FREQUÊNCIA COM SINAL DE ENTRADA DE 3 kHz A 31%. CIMA: ALTIFALANTE ESTÚDIO. MEIO: ALTIFALANTE DIGITAL COM A ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1+ BIT. BAIXO: ALTIFALANTE DIGITAL COM ARQUITETURA DE 5ª ORDEM COM QUANTIZAÇÃO 1 BIT.....	67
FIGURA 6.29: POTÊNCIA DO SINAL CONSIDERANDO O GANHO UNITÁRIO NA RESPOSTA EM FREQUÊNCIA DO MICROFONE (AMPLITUDE DO SINAL DE 100, 60, E 31 % DE CIMA PARA BAIXO, RESPATIVAMENTE).....	67
FIGURA 7.1: ARQUITETURA COM 4 MODULADORES SIGMA-DELTA INDEPENDENTES.....	71
FIGURA A.1: SAÍDA DE UM CANAL DO AMPLIFICADOR DIGITAL COM A ALIMENTAÇÃO DE 7V E AMPLITUDE DO SINAL DE ENTRADA A 100%). CH1: SAÍDA POSITIVA. CH2: SAÍDA NEGATIVA. M: DIFERENÇA CH1 - CH2 OU TENSÃO NA CARGA	74
FIGURA A.2: SAÍDA DE UM CANAL DO AMPLIFICADOR DIGITAL COM A ALIMENTAÇÃO DE 9V E AMPLITUDE DO SINAL DE ENTRADA A 100%). CH1: SAÍDA POSITIVA. CH2: SAÍDA NEGATIVA. M: DIFERENÇA CH1 - CH2 OU TENSÃO NA CARGA	74
FIGURA A.3: SAÍDA DE UM CANAL DO AMPLIFICADOR DIGITAL COM A ALIMENTAÇÃO DE 10V E AMPLITUDE DO SINAL DE ENTRADA A 100%). CH1: SAÍDA POSITIVA. CH2: SAÍDA NEGATIVA. M: DIFERENÇA CH1 - CH2 OU TENSÃO NA CARGA	75
FIGURA A.4: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSADOR (MFS = 2.16MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 100%).	75
FIGURA A.5: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSADOR (MFS = 1.68MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 100%).	76
FIGURA A.6: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSADOR (MFS = 1.68MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 90%).	76
FIGURA A.7: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSADOR (MFS = 1.68MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 70%).	77

FIGURA A.8: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (MFS = 1.68MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 60%).....	77
FIGURA A.9: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (MFS = 1.68MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 50%).....	78
FIGURA A.10: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (MFS = 1.68MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 31%).....	78
FIGURA A.11: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (MFS = 1.68MHz; FREQUÊNCIA: 1kHz; AMPLITUDE 10%).....	79
FIGURA A.12: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 1%).....	79
FIGURA A.13: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 0.5%).....	80
FIGURA A.14: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 0.2%).....	80
FIGURA A.15: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 0.1%).....	81
FIGURA A.16: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 3kHz; AMPLITUDE 100%).....	81
FIGURA A.17: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 3kHz; AMPLITUDE 60%).....	82
FIGURA A.18: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 3kHz; AMPLITUDE 31%).....	82
FIGURA A.19: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 0.5kHz; AMPLITUDE 100%).....	83
FIGURA A.20: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 0.5kHz; AMPLITUDE 60%).....	83
FIGURA A.21: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1 BIT COM UM RESSOADOR (FREQUÊNCIA: 0.5kHz; AMPLITUDE 31%).....	84
FIGURA A.22: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 100%).....	84
FIGURA A.23: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 90%).....	85
FIGURA A.24: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 70%).....	85
FIGURA A.25: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 60%).....	86
FIGURA A.26: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 50%).....	86
FIGURA A.27: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 31%).....	87
FIGURA A.28: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 10%).....	87
FIGURA A.29: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 1%).....	88

Lista de Figuras

FIGURA A.30: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 0.5%).	88
FIGURA A.31: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 0.2%).	89
FIGURA A.32: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 0.1%).	89
FIGURA A.33: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 3kHz; AMPLITUDE 100%).	90
FIGURA A.34: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 3kHz; AMPLITUDE 60%).	90
FIGURA A.35: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 3kHz; AMPLITUDE 31%).	91
FIGURA A.36: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 0.5kHz; AMPLITUDE 100%).	91
FIGURA A.37: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 0.5kHz; AMPLITUDE 60%).	92
FIGURA A.38: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1+ BIT COM UM RESSOADOR (FREQUÊNCIA: 0.5kHz; AMPLITUDE 31%).	92
FIGURA A.39: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1.5 BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 100%).	93
FIGURA A.40: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1.5 BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 60%).	93
FIGURA A.41: ESPETRO DE FREQUÊNCIA NA SAÍDA DO AMPLIFICADOR DIGITAL COM O MODULADOR DE 1.5 BIT COM UM RESSOADOR (FREQUÊNCIA: 1kHz; AMPLITUDE 31%).	94
FIGURA A.42: ESQUEMA DE 1 CANAL DO AMPLIFICADOR DIGITAL COM A INDICAÇÃO DE CADA MÓDULO.	95
FIGURA A.43: TESTES INICIAIS DO AMPLIFICADOR DIGITAL NUMA BRADBOARD.	96
FIGURA A.44: ALTIFALANTES UTILIZADOS NOS TESTES INICIAIS.	96
FIGURA A.45: CONSTRUÇÃO DA CAIXA ACÚSTICA PARA OS ALTIFALANTES.	96
FIGURA A.46: BANCADA DE TRABALHO (MEDIÇÕES BÁSICAS).	97

Lista de Tabelas

TABELA 4.1: TABELA VERDADE DO ANDAR DE SAÍDA H-BRIDGE (ASSUMINDO ACTIVE HIGH)	23
TABELA 5.1. CONFIGURAÇÃO DAS MEMÓRIAS PARA QUANTIZAÇÕES MULTI-BIT.	37
TABELA 5.2. DADOS DO MODULADOR POR ARQUITETURA, BANDA $F_B=20\text{ KHZ}$	48
TABELA 6.1: CUSTO DOS MÓDULOS.	68
TABELA 7.1: HIPÓTESE COM OS QUATRO MODULADORES DESBALANCEADOS.....	70



1 Introdução

Com o avanço das nanotecnologias e a possibilidade de incluir mais componentes num mesmo circuito integrado (Moore, 1998), o escalamento das tensões está diretamente relacionado, possibilitando sistemas com melhor performance, ou a redução dos custos, pelo que vem a necessidade de utilizar técnicas capazes de se adaptarem a este avanço. Como tal, a realização de um modulador sigma-delta ($\Sigma\Delta$) completamente digital é um dos fatores associados a este feito, possibilitando assim uma fácil adaptação à redução do tamanho dos transístores, podendo ser utilizados os tamanhos mínimos, o que se traduz numa melhoria no consumo de energia, devido à redução das capacidades parasitas, a possibilidade de aumentar a banda útil com boa performance, a imunidade a interferências eletromagnéticas (*EMI*), como o muito conhecido *GSM* que produz interferências dentro da banda audível ao ouvido humano, e conseqüentemente do áudio, sendo necessário no domínio analógico um cuidado adicional quando se trata de pequenos sinais antes destes serem amplificados (Kune et al., 2013).

A digitalização do áudio tem tido uma crescente afluência desde a criação do *Compact Disc (CD)* em 1979, assim como o surgimento de memórias de formato digital com grande capacidade de armazenamento. A utilização do formato *Pulse Code Modulation (PCM)* tornou-se largamente utilizado pela facilidade de armazenar cada amostra, assim como pela facilidade de leitura dos valores, o que trouxe a possibilidade de efetuar cópias sem qualquer perda de informação.

A tentativa de mudar a norma do formato de armazenamento do áudio de PCM para *Pulse Density Modulation (PDM)* não teve muito sucesso pois estava associada a alterações no hardware dos gravadores de CD, e embora anunciasse grandes melhorias na qualidade do áudio, não teve grande impacto no mercado dos utilizadores comuns. Esta tecnologia chamada *Super Audio Compact Disc (SACD)* tem por base uma ideologia de

Introdução

utilizar menos conversões para possibilitar menos perdas relativas ao sinal original, como esquematizado na Figura 1.1 e Figura 1.2.

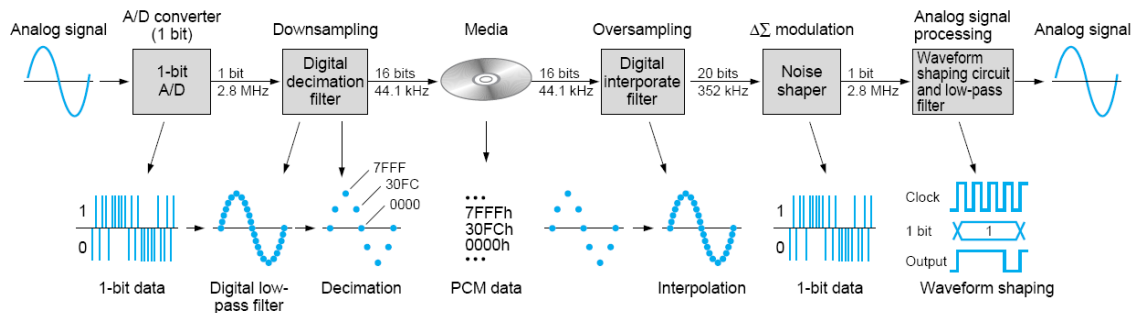


Figura 1.1: Sistema de conversão de dados convencional PCM (“Super Audio CD DSD Decoder,” 2014).

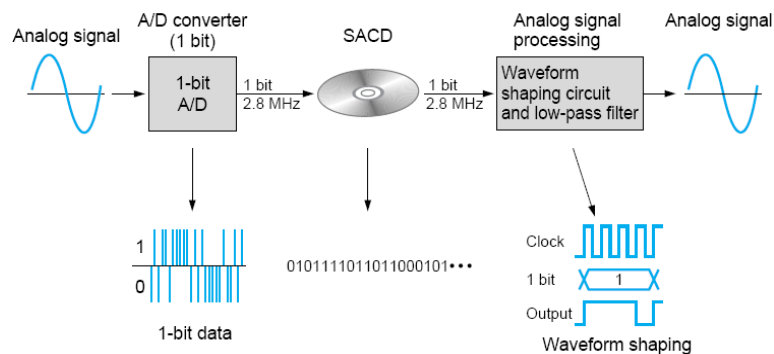


Figura 1.2: Sistema de conversão Direct Stream Digital (DSD) (“Super Audio CD DSD Decoder,” 2014).

Esta metodologia tem por base a possível encriptação dos dados a nível digital, podendo ser lidos os dados apenas por dispositivos certificados. O que não refere este sistema é que na entrada é possível utilizar quantizações superiores a 1 bit para diminuir o ruído de quantização, assim como a frequência na saída de 2.8 MHz pode ser muito elevada para alguns amplificadores digitais, o que faria com que fosse necessário utilizar um bloco de modulação para adequar ao sistema de amplificação, sendo estes processos omitidos no sistema DSD.

Embora permaneçam muitas variantes, umas a favor, outras contra este sistema, alguns utilizadores de sistemas de áudio de maior performance referem que a qualidade parece ficar-se pelo caminho pelo facto do sistema de CD continuar a ser largamente utilizado: “*We have become the audio version of a fast food nation, consuming low-quality music on the run never sitting down to savour a higher-quality experience*”, (“No taste for high-quality audio | Technology | The Guardian,” 2007). No entanto, este sistema SACD tem por base 2.8224 mega bits por segundo, pelo que possui mais informação por segundo que o sistema PCM de 24 bits a 96 kHz.

A amplificação analógica, como é o caso da classe A, classe B e classe AB, tem por base transístores a trabalhar na zona linear para possibilitar menor distorção. Contudo, com este requisito, a necessidade de polarizar estes elementos para potências significativas traduz-se em desperdícios de energia não associados ao elemento principal, a carga.

Na amplificação digital (classe D), tem como objetivo principal amplificar o sinal com entrada digital de modo a possibilitar excitar os altifalantes, com a potência pretendida para o efeito, mas com as perdas mínimas possíveis. Associado aos cuidados na amplificação digital está também a análise de interferências eletromagnéticas (EMI), no caso de existirem circuitos sensíveis próximos.

As perdas relativas à amplificação de classe D são determinadas essencialmente pela dissipação que ocorre nas mudanças de estado lógico associadas ao andar de saída, devido às capacidades parasitas, assim como à resistência interna superior a zero Ohm quando os transístores estão ativos, além de componentes adicionais como filtros, e também às ligações na condução destes sinais de potência na placa de circuito impresso.

Os requisitos da potência na carga variam da aplicação, desde alguns mili-watt para headphones e telemóveis, para alguns watts em computadores e televisões, a algumas dezenas de watts para sistemas de som de casa ou áudio automóvel, a algumas centenas de watt em sistemas comerciais para discotecas e grandes eventos de música.

A configuração em *half-bridge* possui menos transístores, logo a eficiência do andar de saída pode ser melhor, mas em contrapartida necessita de uma tensão negativa para a *source* do transistor *nMOS* para a mesma potência equivalente total na carga. Adicionalmente, esta configuração possibilita alguma variação na alimentação devido à mudança contínua do sentido base da corrente. Neste sentido, é utilizada neste projeto a configuração *H-bridge*, sendo necessário apenas uma alimentação, e possuir uma corrente relativamente estável, no mesmo sentido da fonte de alimentação, possibilitando menos variações da tensão no andar de saída e conseqüentemente menor distorção.

A utilização de um filtro passa-baixo LC inserido entre o andar de saída e o altifalante é devido a minimizar as interferências eletromagnéticas (EMI), assim como desabilitar a passagem de energia de altas frequências. Em certos casos, a utilização do filtro LC pode ser omitida caso o altifalante se encontre relativamente próximo da amplificação e este seja indutivo, possibilitando baixos níveis de potência, com a minimização de custos associados ao filtro.

Introdução

Na presente dissertação são abordadas metodologias para um sistema de áudio completo, passando pela leitura dos sinais de áudio através de um computador, ou seja, considerados digitais, para posteriormente serem processados por um DSP, deste para um amplificador digital para excitar altifalantes.

Para esta abordagem é tida em conta a resposta em frequência do ouvido humano, pois este possui frequências de maior sensibilidade, mesmo na banda dos 20 Hz aos 20 kHz, como representado na Figura 1.3.

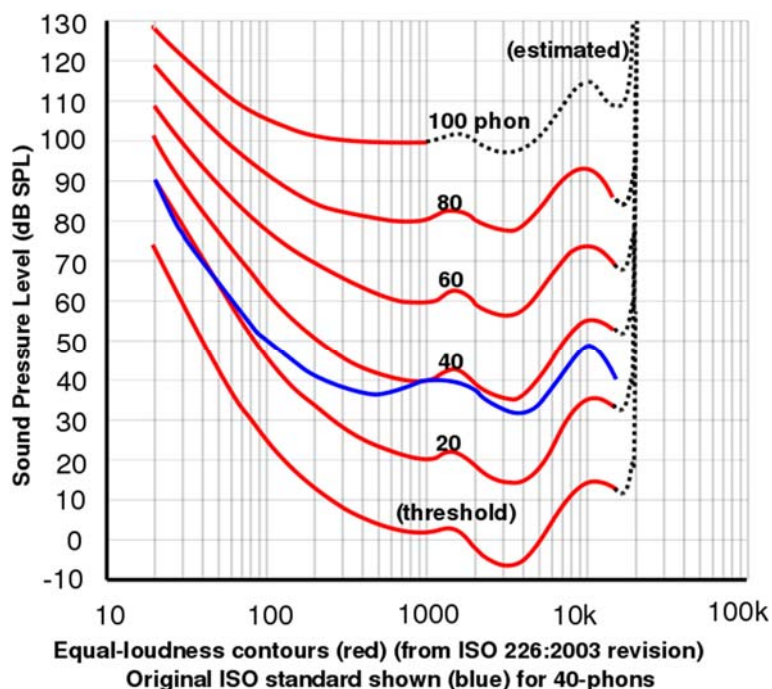


Figura 1.3: Representação das curvas com níveis de intensidade sonora equivalentes ao ouvido humano (“Equal loudness contours and audiometry,” 2014).

A linha inferior vermelha a cruzar 1 dB a 1 kHz é considerada como o nível de comparação mínimo audível. Muitos estudos referem que acima dos 20 kHz o ouvido humano não tem a capacidade de detetar quaisquer tons, e que a partir dos 25 anos o limite mais alto de frequência tende a diminuir.

1.1 Motivação

Este projeto vem com o propósito de estudar todos os componentes necessários a um sistema de áudio completo, incluindo inegavelmente uma grande vertente prática, pois, como qualquer tecnologia, é necessário proceder à realização de testes para confirmar a validade do objetivo principal, sendo este uma boa qualidade audível para o utilizador tendo em conta os custos e a versatilidade. Neste projeto está incluído o protocolo

de transferência de dados desde a fonte do sinal digital até ao processador digital de sinais (DSP), sendo seguidamente amplificado para excitar os altifalantes.

Vão ser estudados dois tipos de moduladores, com vários andares (cancelamento de ruído), e de um único andar, assim como moduladores de um ou vários bits de saída.

A utilização dos moduladores sigma delta ($\Sigma\Delta M$) é comumente escolhida pois devido à utilização da sobre-amostragem, este possibilita o alcance de grandes resoluções (superior a 16 bit) e grande linearidade difícil de alcançar pela maioria das outras topologias de conversores. Com a utilização de uma arquitetura puramente digital é possível adequar técnicas utilizadas no processamento de sinais de modo a possibilitar menores perdas na conversão do sinal original, assim como proporcionar implementação de equalizações de frequências dentro da banda, sem efetuar mudanças de *hardware*.

1.2 Organização da Dissertação

Esta dissertação encontra-se subdividida em 7 capítulos, dos quais no primeiro procede-se a uma introdução do propósito deste projeto, e da necessidade de estudar as diferentes áreas para realizar o mesmo, assim como a evolução dos equipamentos de áudio tornarem-se completamente digitais ao nível da transmissão e do processamento de dados.

No capítulo 2 é abordada a base dos moduladores sigma delta, desde o funcionamento a algumas características.

No capítulo 3 é feito um estudo preliminar perante os objetivos finais do sistema, desde alguns cuidados a ter em conta nos dimensionamentos de cada módulo, assim como prever algumas situações críticas ao nível da implementação.

No capítulo 4 é analisada a implementação de cada módulo incluindo a escolha da arquitetura, os requisitos associados, assim como são examinadas situações não ideais que podem pôr em causa a fiabilidade do sistema.

No capítulo 5 pretende-se transmitir o desenvolvimento completo, assim como uma comparação próxima das diferentes implementações, e procede-se às simulações para posteriormente implementação no módulo DSP para de seguida efetuar testes básicos ao nível elétrico e acústico.

No capítulo 6, após a análise das melhores arquiteturas, são abordados testes elétricos de alto nível, como a aquisição dos dados na saída do DSP para possibilitar a resposta em frequência da saída digital, como a resposta em frequência na saída do amplificador digital, este último por intermédio do equipamento Audio Precision ATS-2, a fim de possibilitar as perdas de qualidade associadas a cada módulo. São também incluídos testes

Introdução

ao nível acústico, por intermédio de equipamentos de gravação de estúdio, assim como comparações de resultados com um sistema profissional de referência existente no mercado.

Por fim, no capítulo 7 são apresentadas as conclusões gerais de todo este projeto, assim como o trabalho futuro para possibilitar melhorias ao sistema.

2 Básico dos Moduladores Sigma Delta

O princípio utilizado nos Moduladores Sigma Delta ($\Sigma\Delta$) na Figura 2.1 é muito comum hoje em dia pela versatilidade de arquiteturas que proporciona, pelas performances de grandes resoluções de bits, e tem associadas características de grande linearidade dificilmente alcançáveis por outros tipos de conversores. Estes estão associado normalmente a bandas de frequência relativamente baixas (dezenas de megahertz), pois utilizam uma técnica de sobre-amostragem que ao acumular (sigma) as diferenças entre as amostras e a saída (delta), sendo que este erro tende a ser zero através deste ciclo de realimentação, mesmo passando por um quantizador para definir os bits de saída, representando estes o sinal de entrada mas em formato digital consoante os níveis de quantização.

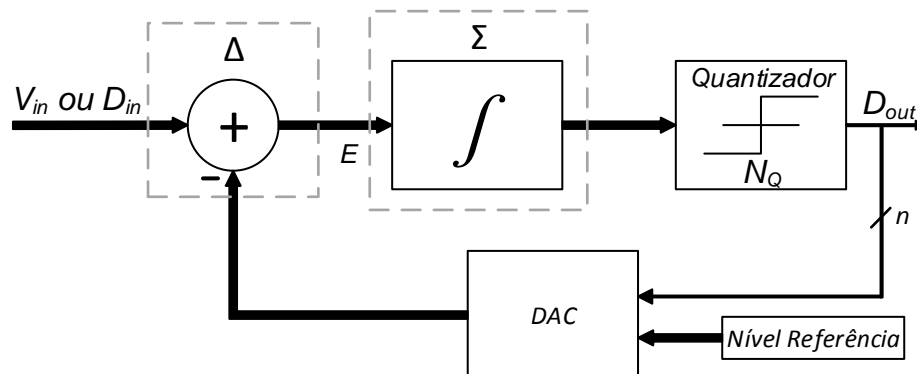


Figura 2.1: Modelador Sigma-Delta.

A sobre-amostragem define-se como um processo de aplicação de mais amostras por segundo, do que as requeridas à frequência de *Nyquist* para recriar o sinal original. Na Figura 2.2 é ilustrada a densidade de ruído a diminuir consoante o aumento do rácio de sobre-amostragem (OSR).

O Numero de bits de saída do modulador, n , é representado pela (Eq 2.1).

$$n \geq \log_2(N_Q) \quad (\text{Eq 2.1})$$

Sendo n o menor inteiro que satisfaz a equação. N_Q representa os níveis de quantização do bloco quantizador.

A Figura 2.2 representa o efeito da sobre-amostragem relativamente ao ruído, sendo este reduzido dentro da banda de interesse por um fator de metade por cada vez que OSR é duplicado. A área total deste permanece inalterável, pois fica espalhado por toda a banda até metade da frequência de amostragem.

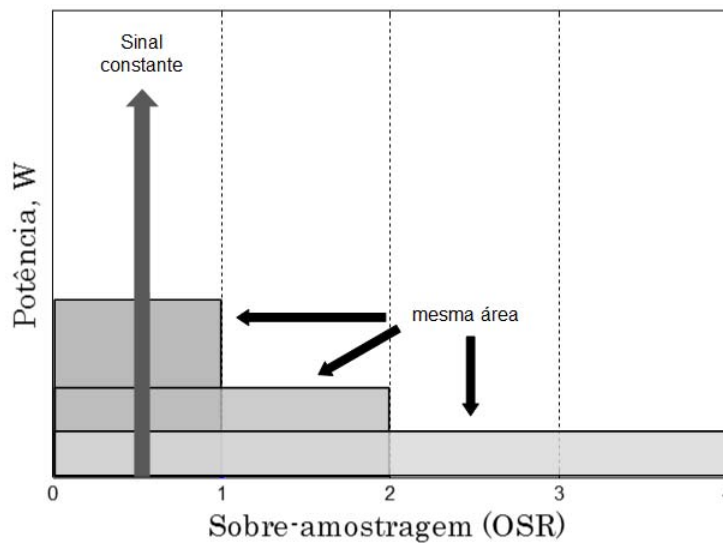


Figura 2.2: Distribuição do ruído ao aumentar o OSR.

O rácio de sobre-amostragem (OSR) é dado pela (Eq 2.2).

$$OSR = \frac{MF_S}{2 \cdot F_B} \quad (\text{Eq 2.2})$$

Sendo MF_S a frequência de amostragem, e F_B a frequência máxima da banda de interesse.

A utilização do *noise shaping* é intrínseca à natureza dos moduladores $\Sigma\Delta$, sendo este efeito responsável por impulsionar grande parte do ruído gerado pela quantização para altas frequências, onde este não possui qualquer influência, fora da banda de interesse. Um gráfico ilustrativo pode ser encontrado na Figura 2.3, sendo que o declive está diretamente relacionado com a ordem do modulador, embora ao aumentar a ordem deste, o ruído de quantização total permaneça o mesmo.

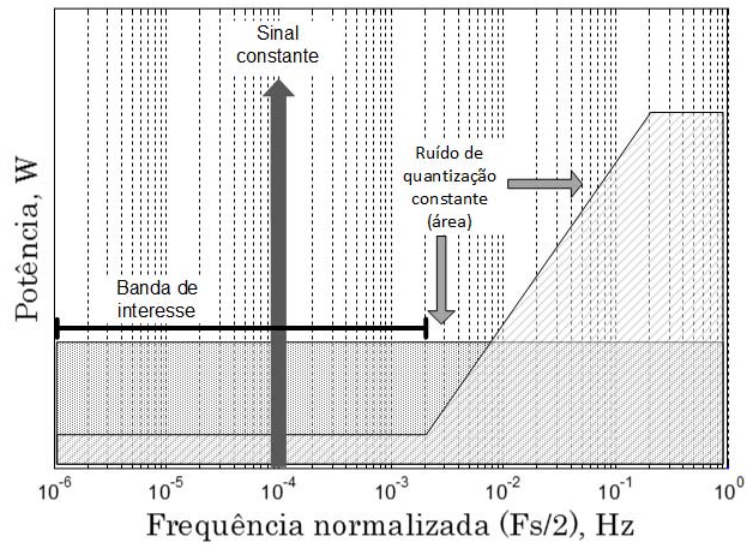


Figura 2.3: O ruído de baixa frequência é empurrado para as altas frequências através do *noise shaping*.

O que faz alterar o total do ruído de quantização são o número de níveis que o bloco de quantização possui, estando representado na Figura 2.4 uma comparação entre uma quantização multi-bit, e uma quantização de 1 bit.

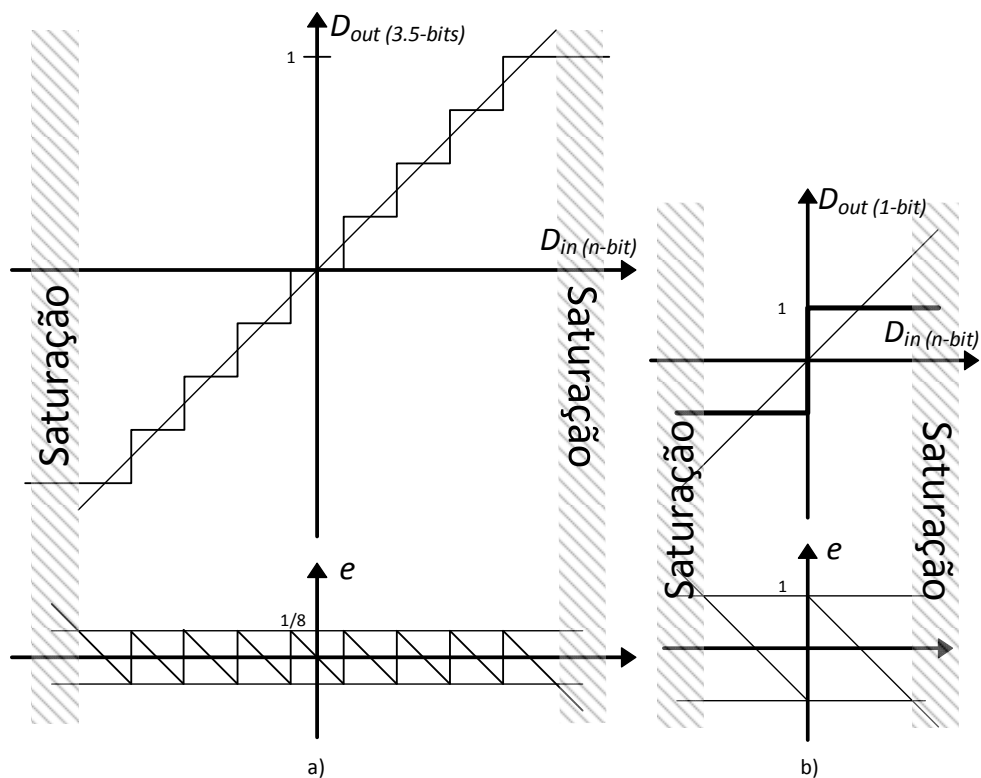


Figura 2.4: Comparação de dois quantizadores de diferentes níveis. a) 3.5 bit (9 níveis). b) 1 bit (2 níveis). O gráfico de cima representa a função transferência e o de baixo representa o erro de quantização.

Básico dos Moduladores Sigma Delta

A saturação ao nível da quantização digital não é possível, pois o número de bits do sinal de entrada é bem definido, pelo que não pode ser excedido.

Os moduladores $\Sigma\Delta$ possuem uma frequência de sobre-amostragem bem definida, estando esta associada quando ocorre o tempo mínimo de pulso. Para representar o sinal com valor DC nulo, é muito comum representar o valor lógico zero como -1 , para possuir valores simétricos. A representação digital está ilustrada na Figura 2.5, onde é sobreposto o valor digital de entrada e o valor lógico de saída. A média da saída num curto espaço de tempo representa o sinal de entrada. Para este exemplo foi utilizado um modulador $\Sigma\Delta$ de segunda ordem com um OSR baixo de modo a possibilitar a visualização das transições.

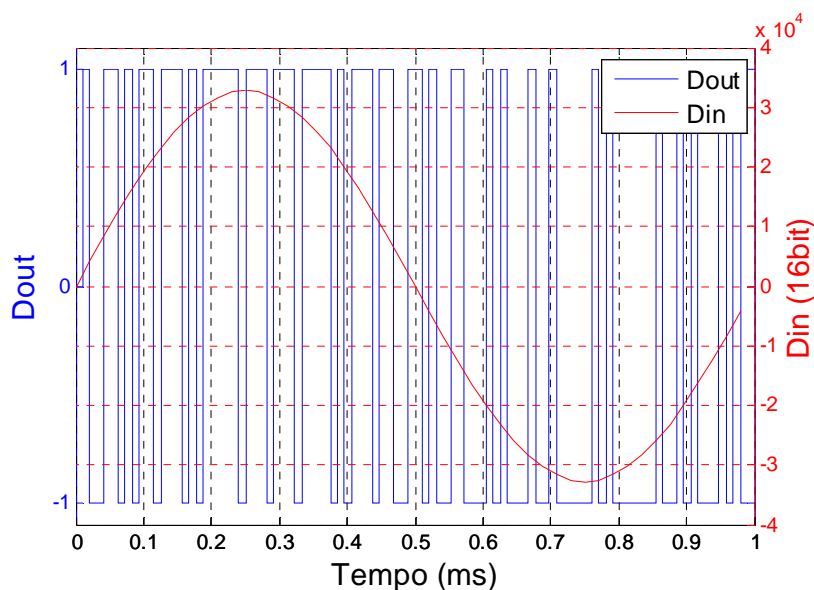


Figura 2.5: Stream de saída (azul) de um modulador de 2ª ordem de 1 bit com uma OSR baixa.

Um grande desenvolvimento ao nível dos moduladores sigma delta deveu-se às estruturas CIFB e CRFB, posteriormente analisadas e implementadas nos seguintes capítulos.

O uso de topologias com quantizações de um bit possui algumas vantagens como a linearidade infinita sem precisar de algoritmos DEM (Dynamic Element Matching), juntamente com a simplicidade de implementação. Contudo possui alguns pontos críticos, como a presença de alguns tons ao nível do espectro digital, assim como a estabilidade por vezes pode estar comprometida. Adicionalmente é aplicado um grande degrau para o filtro analógico, sendo necessário um amplificador com um *slew rate* muito elevado, assim como também possui grande sensibilidade de *jitter* para a corrente na conversão digital para analógico, caso não possua uma estrutura *H-bridge*. Por outro lado, a utilização de

quantizações multi-bit garante boa estabilidade ao nível do modulador, sem tons adicionais com degraus menores para sinais de entrada pequenos, e baixa sensibilidade ao *jitter*. Contudo, para possibilitar grande linearidade, são utilizadas técnicas DEM, mais utilizado em moduladores analógicos. Esta consiste em variar alguns parâmetros semi-aleatórios nas saídas, de modo a possibilitar uma média de erro não linear nula, tornando o sistema mais linear, (Casier, Steyaert, & Roermund, 2011).

3 Estudo Teórico

Este capítulo enquadra-se na introdução e análise dos requisitos de cada módulo, consoante as necessidades ao nível dos resultados finais pretendidos.

3.1 Sigma-Delta Aplicado nesta Dissertação

A análise de moduladores sigma delta pode possuir uma vasta gama de arquiteturas possíveis de implementar no formato digital. Para possibilitar o desenvolvimento contínuo, vem a necessidade de começar por testar arquiteturas mais básicas de baixa ordem e que se adaptem facilmente ao sistema de amplificação digital pretendido.

Para maior versatilidade, o sistema proposto permite a utilização de quatro canais de áudio, pelo que vem a possibilidade de utilizar moduladores multi-bit, até quantizações de nove níveis.

Na Figura 3.1 está representado o modulador típico de 2ª ordem, possuindo este estabilidade em toda a banda de interesse (20 Hz - 20 kHz) mesmo para amplitudes próximas do valor máximo.

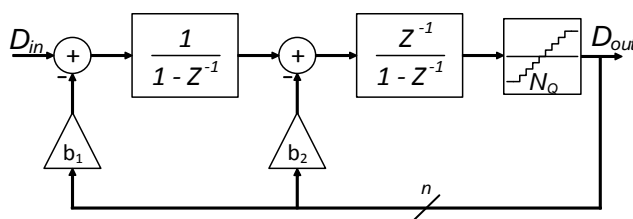


Figura 3.1: Modulador típico de 2ª ordem.

Sendo a ordem de um modulador $\Sigma\Delta$ definida pela quantidade de integradores, a partir da terceira-ordem estes tendem a ser instáveis, sendo necessário alisar adequadamente a colocação dos polos (Schreier & Temes, 2005). Para ordens superiores à 2ª, as abreviaturas descritas seguidamente são muito utilizadas para representar cada arquitetura, (Silva, Moon, Steensgaard, & Temes, 2001).

CIFB *Cascade of Integrators, feedback form.*

CIFF *Cascade of Integrators, feedforward form.*

CRFB *Cascade of Resonators, feedback form.*

CRFF *Cascade of Resonators, feedforward form.*

Na Figura 3.2 está representado o modulador de 3ª ordem, conhecido por CRFB.

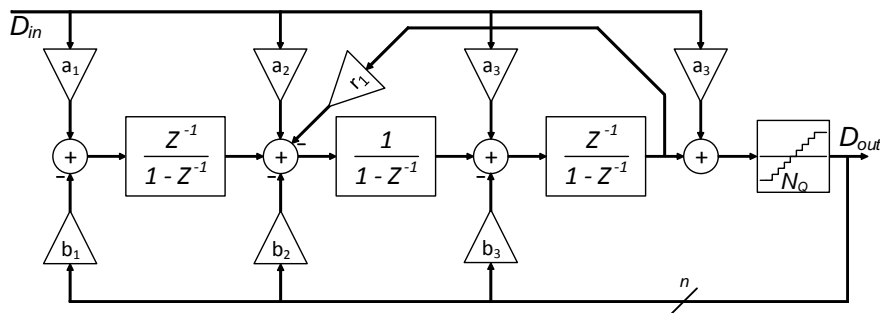


Figura 3.2: Modulador típico de 3ª ordem CRFB.

A arquitetura de moduladores $\Sigma\Delta$ em cascata com cancelamento do erro do andar anterior também pode ser possível de implementar neste projeto, dado possuir uma vertente completamente digital, pois esta é sensível a algumas variações de componentes, e a implementação a nível analógico torna-se mais complicada. Um esquema simplificado é apresentado na Figura 3.3.

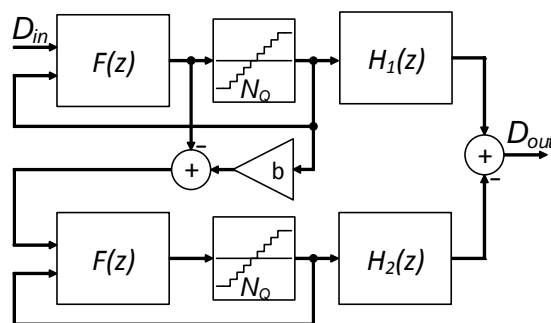


Figura 3.3: Arquitetura MASH de dois andares com cancelamento de ruído.

Neste caso, a saída do modulador, D_{out} , é superior a 1 bit devido às funções de transferência e ao somador na saída.

3.2 Análise de sinais discretos

Para possibilitar a recriação original do sinal, as amostras necessitam de possuir uma frequência de amostragem no mínimo de duas vezes a frequência da banda pretendida, ao utilizar o critério de *Nyquist*. Contudo ao nível do áudio, este não possui continuamente sinusoides perfeitas, pelo que a necessidade de utilizar um rácio superior definido pela relação $F_S: f_{B\ Máx}$ pode possibilitar menos recursos ao nível de filtros, sendo F_S a frequência de amostragem e $f_{B\ Máx}$ a frequência máxima da banda, este é de 2.4 ao utilizar uma amostragem de 48 kHz, e uma banda de 20 kHz. Devido ao modulador $\Sigma\Delta$ utilizar por base a sobre-amostragem surge a necessidade de interpolar o sinal entre amostras, possibilitando menor erro na reconstrução deste. O exemplo de três interpolações é demonstrado na Figura 3.4, sendo referida a interpolação *sample & hold*, a interpolação linear e a interpolação de 2ª ordem.

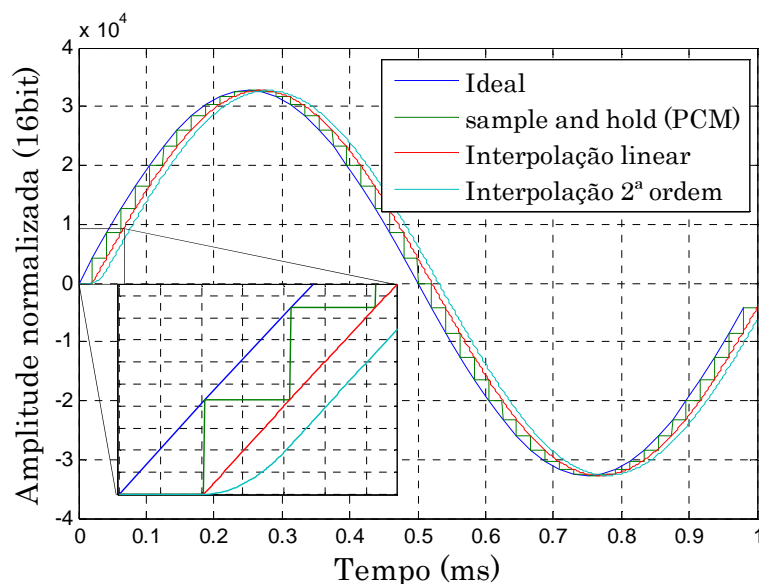


Figura 3.4: Exemplo de três interpolações.

O requisito da interpolação possibilita melhorias principalmente em sinais próximos do limite superior da banda. A complexidade de processamento e recursos juntamente com o atraso do sinal original estão diretamente associados.

3.3 Comunicação série

Nesta subsecção é analisada a transmissão de dados do computador para o DSP, capaz de cumprir os requisitos para não possuir interrupções de amostras, pois trata-se da necessidade de processá-las em tempo real. Como primeira análise, os dados de áudio são tipicamente no formato PCM de 16 bit, a 44.1 kS/s, embora para melhorar a banda completa até aos 20 kHz, seja recomendada a amostragem no mínimo a 48 kHz, tipicamente

utilizada por muitos sistemas. Na transmissão deve-se ter em conta margens adicionais para efeitos de sincronismo com comunicação bidirecional.

Para o formato PCM de 16 *bit* a 48 *kHz*, este necessita de um mínimo de 768 *kbps*, sendo necessário possuir um protocolo de comunicação suficientemente eficaz para este requisito.

3.4 Amplificador Digital

O objetivo principal do amplificador digital é possibilitar fornecer a potência necessária para a carga pretendida, tendo em conta pesos como a distorção e o rendimento como principais fatores.

A potência dissipada é sobretudo determinada pela capacidade de entrada do andar de saída, pela frequência de transição e pela resistência interna do transistor quando este está ativo. A potência associada às perdas na entrada de cada transistor podem ser calculadas pela (Eq 3.1).

$$P_{Diss} = \alpha \cdot C \cdot V^2 \cdot 2 \cdot \pi \cdot f \quad \text{(Eq 3.1)}$$

Sendo α uma constante positiva menor que um devido à frequência variar, C representa o valor da capacidade de entrada em *Farad*, V a amplitude da tensão em *Volt* e f a frequência em *Hertz*.

Para possibilitar uma transição adequada na *gate* de cada transistor de saída é necessário um módulo comumente denominado por *gate driver*, estando associado a este algumas das perdas relevantes na amplificação digital.

Além das referidas, o possível filtro passa-baixo LC, assim como a transmissão do sinal de saída para a carga pretendida também contabilizam perdas para o cálculo efetivo do rendimento, referido na (Eq 3.2).

$$\eta = \frac{P_{Carga}}{P_{Carga} + P_{Diss\ total}} \quad \text{(Eq 3.2)}$$

3.5 Acústica e altifalantes

A análise dos altifalantes é um requisito a ter em conta para a reprodução de áudio. Idealmente este transdutor deveria possuir uma resposta de frequência-SPL (*Sound Pressure Level*) completamente linear na banda de interesse, e atenuar na restante. Acontece que devido à construção física, estes elementos possuem muitas variações ao longo da

frequência. Na Figura 3.5 está representado uma estimativa baseada em alguns altifalantes existentes que cubram a banda completa de áudio, aproximadamente entre os 20 Hz e os 20 kHz.

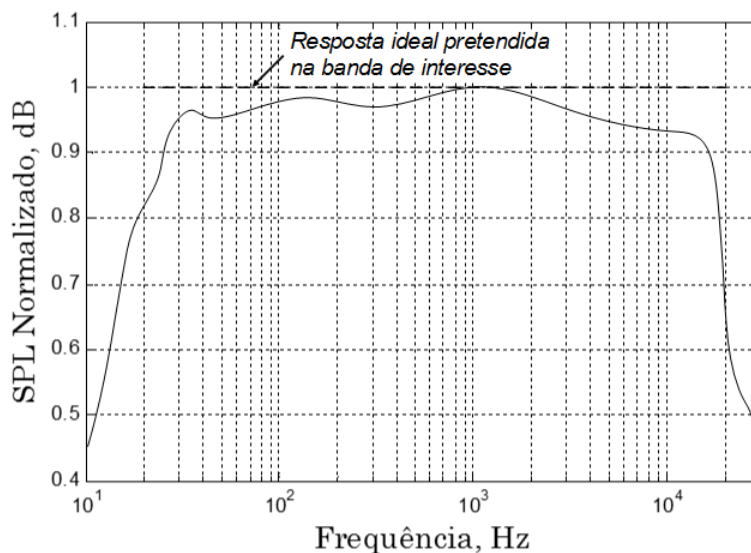


Figura 3.5: Resposta em frequência de um altifalante.

A grandeza SPL (Sound Pressure Level) refere-se ao nível de pressão sonora, neste caso associado ao altifalante.

Embora o ser humano não tenha uma resposta ideal na sensibilidade de áudio ao longo da frequência, um sistema de áudio completo deverá possibilitar uma resposta próxima do ideal, pelo que por vezes a divisão da banda por diferentes altifalantes de menor banda é um método para atenuar este efeito indesejado. Com isto, haverá a necessidade de utilizar filtros adicionais à saída do Amplificador Digital, ou mesmo utilizar canais individuais para cada tipo de altifalante.

4

4 Implementação do Sistema/Protótipo

Neste capítulo é abordado todo o sistema de *hardware* para possibilitar a reprodução de áudio desde a fonte do sinal até aos altifalantes.

4.1 Primeira abordagem do sistema

Com o grande desenvolvimento dos processadores com arquiteturas ARM por intermédio do mercado dos *smartphones*, surgiu a possibilidade de implementar todo o sistema de processamento de dados no *Raspberry Pi model B*, um dispositivo que possui alguma capacidade para processar dados, enquanto utiliza um sistema operativo de base, *Linux* (distribuição *Debian*), sendo um sistema operativo livre, de programação e interação relativamente fácil. A análise passou por contabilizar as saídas digitais requeridas para um sistema de áudio com amplificação digital (classe D). A par do processamento que possui, a interrupção com o controlo das saídas necessita de ter uma resposta rápida e estável, na ordem dos megahertz, para possibilitar bons resultados ao nível da performance no áudio.

Os primeiros testes foram baseados no relógio do processador, numa função com controlo do tempo de interrupção. Esta função limitava-se a processar dados previamente gravados, como uma senoide, e com um modulador $\Sigma\Delta$ de primeira ordem, controlar a saída através da quantização de 1 bit. Como resultado nas saídas, o sistema operativo possuía interrupções internas, e a frequência de interrupção analisada na saída não representava estabilidade, ou seja, o equivalente ao ruído *jitter* acentuado.

Como próxima análise surgiu a possibilidade de através da criação do próprio ficheiro *kernel*, ou seja, correr o programa diretamente no processador sem os processos

normais do sistema operativo, o que mesmo assim se verificou um atraso grande na interação com as saídas digitais, pois o núcleo de processamento não tem acesso direto às saídas, sendo necessário a arquitetura proceder à organização interna dos registos para atuar a saída.

4.2 Arquitetura final do sistema

A implementação do sistema capaz de reproduzir áudio consiste na transmissão de dados via USB para o bloco de processamento digital de sinais (DSP). Na saída deste bloco, os sinais são convertidos para diferenciais para não serem afetados pelas interferências geradas no amplificador digital, assim como interferências externas ao sistema. Por cada canal são considerados quatro sinais de controlo para cada um dos transístores da H-bridge, pelo que representa 32 fios condutores para o controlo dos 4 canais. Na Figura 4.1 segue o esquemático das ligações associadas a cada um dos blocos desde o PC até aos altifalantes.

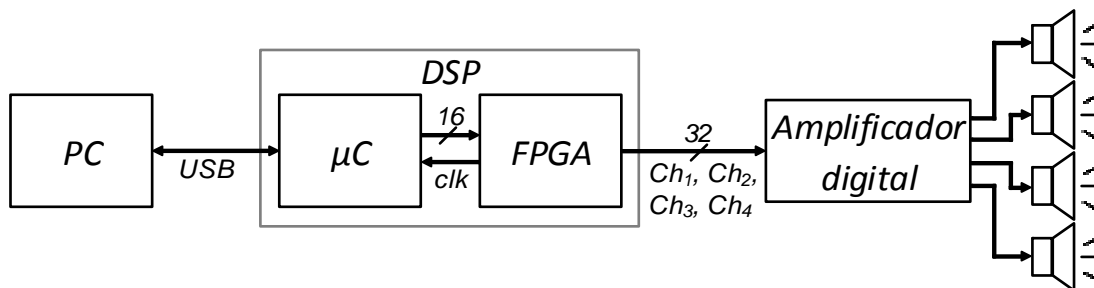


Figura 4.1: Esquemático simplificado.

4.3 Implementação do DSP

Ao nível do DSP, este tem como requisitos fundamentais possuir uma interface de comunicação para receber dados em tempo real, assim como ao mesmo tempo processar estes por intermédio de um modulador sigma delta, para posteriormente serem tratados ao nível do amplificador digital. Para a realização, a junção de um micro controlador (μC) e uma *Field Programmable Gate Array* (FPGA) possibilitam cumprir os requisitos necessários. Para facilitar a análise, os dois elementos são referidos como um processador digital de sinais (DSP), estando o arranjo interno dos blocos representado na Figura 4.2.

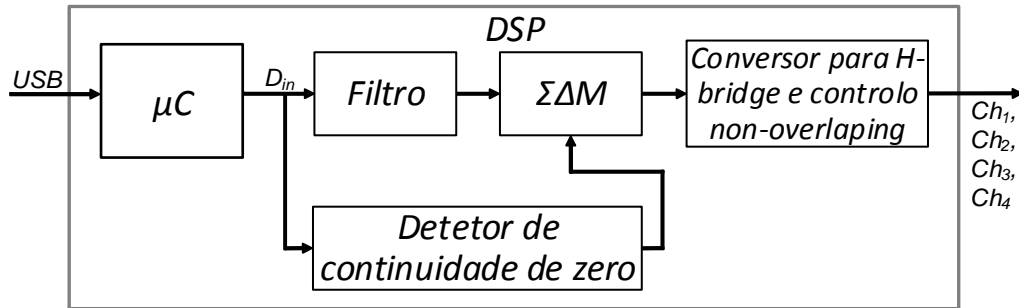


Figura 4.2: Arquitetura simplificada do processador de sinais digitais.

A Figura 4.3 representa as ligações entre o μC e a FPGA, ainda em testes iniciais para possibilitar definir as interrupções do relógio de 48 kHz como função prioritária detetável pelo μC .

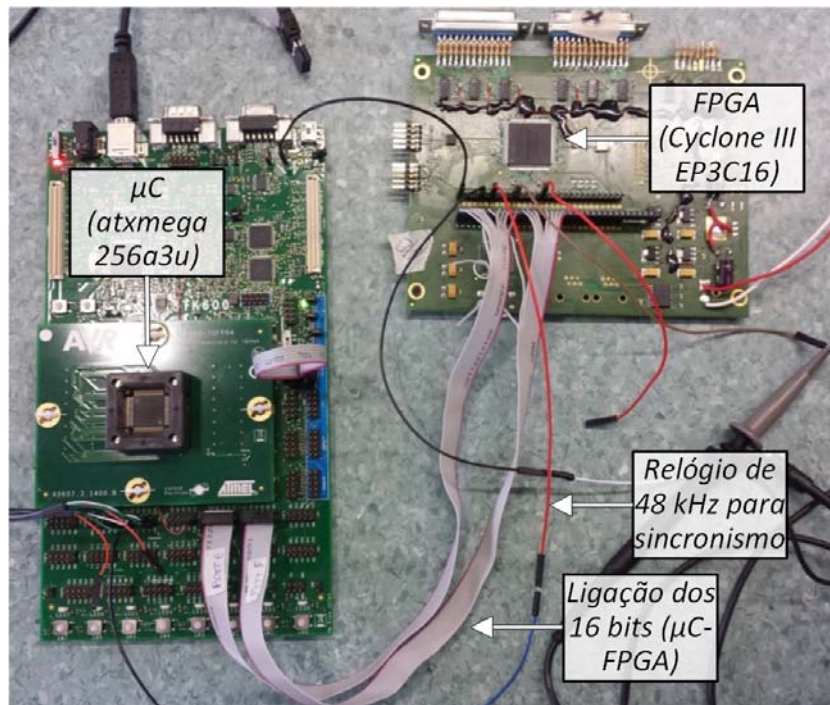


Figura 4.3: Testes iniciais com o módulo DSP.

Como resultado final do protótipo funcional do DSP, a Figura 4.4 evidencia as entradas e as saídas associadas.

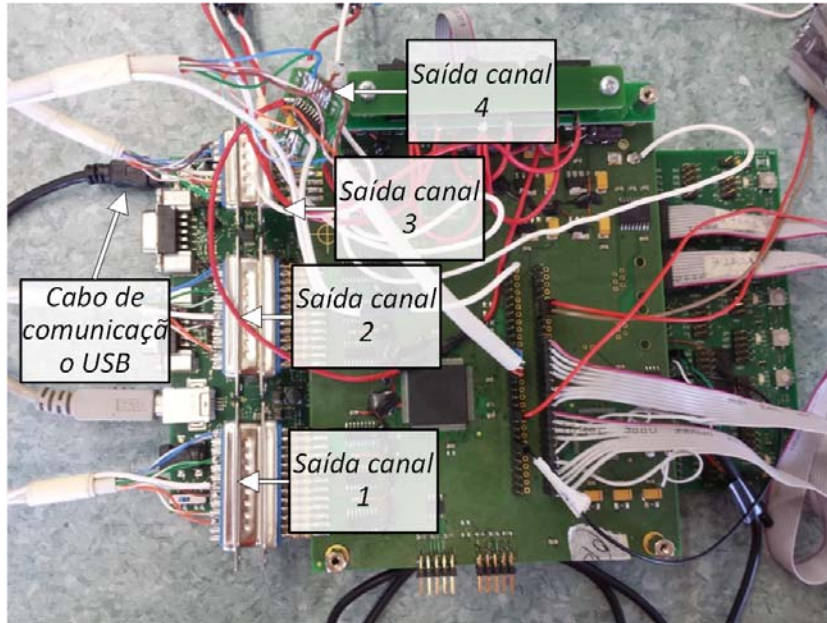


Figura 4.4: Protótipo completamente funcional do DSP com 4 canais.

4.4 Implementação do Amplificador Digital

O amplificador Digital tem por base a maioria das perdas associadas à qualidade do sinal, pois interage diretamente com sinais de potência para excitar a carga.

Na implementação foi considerada a máxima simplicidade para um controlo o mais direto possível com o DSP, pelo que o diagrama pode ser encontrado na Figura 4.5.

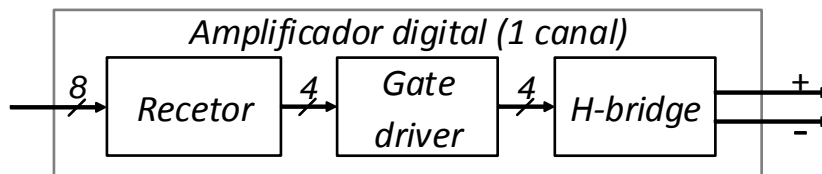


Figura 4.5: Esquemático simplificado do amplificador digital.

Note-se que para uma redução de custos, esta arquitetura simplificada pode ser utilizada, embora seja fundamental um desenho final de um amplificador digital possuir controlo de temperatura, proteção contra sobrecarga e proteção de picos de tensão, o que aumenta significativamente os custos finais, assim como alguma complexidade ao sistema. Esta última aproximação não foi tida em conta para o sistema implementado nesta dissertação.

O módulo *H-bridge* está representado na Figura 4.6 de uma forma simplificada, sendo S_1 e S_2 representados pelos transístores pMOS, e S_3 e S_4 os nMOS.

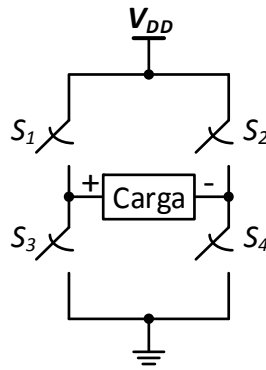


Figura 4.6: H-bridge simplificada.

Com a implementação da H-bridge na forma da Figura 4.7, a tensão na saída pode atingir uma tensão pico-pico de duas vezes a tensão da alimentação da H-bridge. A configuração possibilita utilizar um *jumper* caso o filtro LC não seja implementado.

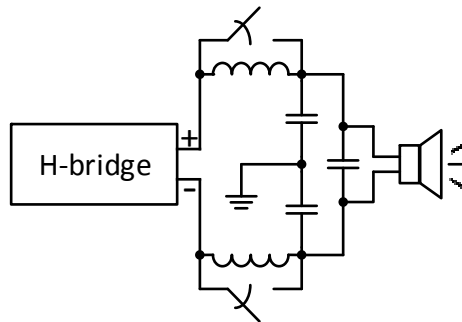


Figura 4.7: Filtro de saída.

Na Tabela 4.1 encontra-se a tabela verdade definida em cada um dos interruptores para cada um dos estados possíveis pela configuração da *H-bridge*.

Tabela 4.1: Tabela verdade do andar de saída H-bridge (assumindo active high).

Estado	S1	S2	S3	S4
+1	1	0	0	1
0 ⁺	1	1	0	0
0 ⁻	0	0	1	1
-1	0	1	1	0

O amplificador foi desenhado tendo em conta a versatilidade de alimentações, assim como diversas referências de integrados. Cada um dos quatro canais de amplificação é completamente independente, possuindo um regulador de tensão ajustável desde os 5V até 12V através de um potenciômetro multi-volta, sendo a última a tensão máxima permitida na gate dos transistores de saída da H-bridge. Os sinais de entrada que vêm do DSP da forma diferencial passam pelos conversores de diferencial para *single-ended*, que

Implementação do Sistema/Protótipo

partilham todos a mesma alimentação fixa de 5V que é fornecida por um regulador independente dos canais.

O *gate driver* está alimentado à mesma tensão dos transístores de saída, e tem como entrada o sinal lógico recebido do módulo *receiver*. Este efetua a conversão *rail-to-rail* para excitar a gate dos transístores de saída a determinada tensão imposta no canal. Na proximidade do gate driver e dos transístores de saída foram aplicados condensadores cerâmicos para desacoplamento com valores diferenciados por décadas para possibilitar pequenas variações na tensão quando surgem transições, pois este método possibilita baixos valores de *Equivalent Series Resistance (ESR)* nas capacidades assim como uma impedância equivalente mais adequada para altas frequências, pois estão em causa sinais digitais na ordem das centenas de kHz para a harmónica fundamental, e alguns MHz associados às harmónicas múltiplas para formar uma transição próxima do ideal.

Na Figura 4.8 e na Figura 4.9 estão representadas as imagens do amplificador digital com 4 canais independentes com vista de cima e vista de baixo, respetivamente. No Anexo (Figura A.42) encontra-se o esquemático de 1 canal, com a identificação de cada módulo.

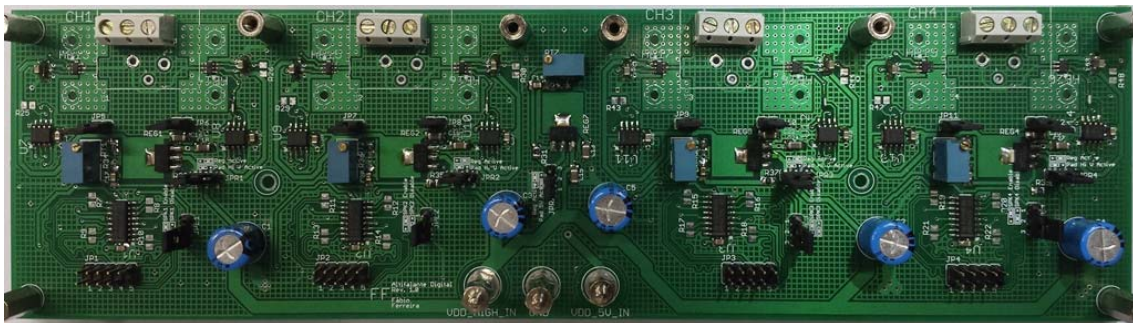


Figura 4.8: Amplificador digital de 4 canais (cima).

Para mais versatilidade, foi implementada a possibilidade de incorporar um filtro LC na saída da H-bridge podendo ser inabilitado através de um *jumper*.

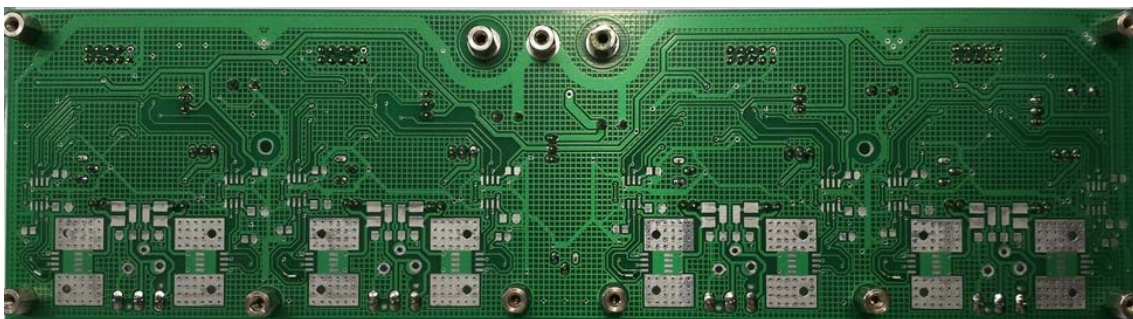


Figura 4.9: Amplificador digital de 4 canais (baixo).

Não foram aplicados dissipadores nos transístores de saída nem na zona de dissipação de calor devido à temperatura não exceder os $35^{\circ}C$. Isto é conseguido devido aos transístores possuírem uma resistência $R_{DS(ON)}$ menor que $65\ mOhm$ com a tensão V_{GS} de $5V$.

Neste tipo de amplificadores, as empresas de semicondutores têm como objetivo principal no fabrico de componentes CMOS minimizar a relação da capacidade de entrada, juntamente com a resistência no estado ligado, ou seja, $C_{in}R_{DS(ON)}$.

Na saída podem ser aplicados altifalantes de 4 , 8 ou $16\ \Omega$ com uma alimentação máxima de $12\ V$, isto em cada um dos quatro canais.

4.5 Implementação da caixa acústica

Ao nível da componente acústica, e de modo a utilizar os quatro canais disponíveis no amplificador digital, foram utilizados 4 altifalantes de $15W$ e impedância de $8\ Ohm$. Na caixa foi aplicado um forro de modo a cancelar todas as reflexões internas, assim como foi aplicado uma ripa no centro para atenuar vibrações maiores, estando estes detalhes representados na Figura 4.10.



Figura 4.10: Forro interno da caixa acústica.

O frontal do altifalante finalizado pode ser encontrado na Figura 4.11.



Figura 4.11: Frontal do Altifalante.

Através da referência do altifalante não foi encontrada qualquer informação a nível de resposta em frequência, o que é perceptível o baixo custo associado a este elemento. As madeiras são relativamente finas e também estas de custo muito reduzido.

4.6 Comunicação Série

Para efetuar a transmissão de dados de áudio é necessária uma transmissão com uma velocidade que depende da taxa de amostragem do sinal, e da resolução de cada amostra. Assim sendo, para um único canal de áudio de 16 *bits* a 48 *kHz*, corresponde a 768 *kbps*, sendo esta uma taxa de transmissão mínima é ainda necessário adicionar alguma informação adicional para controlo de transmissão como ocorrência de algum erro ou pedidos de novos dados.

Inicialmente a comunicação de dados seria realizada através de comunicação UART (Universal Asynchronous Receiver/transmitter) por intermédio de um conversor para USB, tendo por base a comunicação μ C-PC do projeto em (Querido & Oliveira, 2014), mas agora utilizando o *baudrate* de 2*Mbps*, contudo a comunicação UART necessita de 3 bits adicionais para controlo, para além dos 8 bits de dados, sendo um *start* bit e dois *stop* bit, o que representa uma velocidade de transmissão teórica máxima de 1.45 *Mbps*, representada na (Eq 4.1).

$$2 \cdot 10^6 \cdot \frac{8}{11} = 1.45Mbps \quad \text{(Eq 4.1)}$$

Sendo 11 o número de bits transmitidos, e 8 o número de bits úteis de informação.

A transmissão de 1.45*Mbps* teórico, sendo superior à taxa de transmissão necessária, daria para utilizar este método, todavia nos testes iniciais a transmissão possuía muitas amostras perdidas, possivelmente devido ao *buffer* do dispositivo conversor não possuir

tamanho suficiente para armazenar uma grande quantidade de dados seguidos, isto também devido ao computador apenas possuir uma interrupção na interface USB a cada $1ms$.

Surgiu então a possibilidade de efetuar a comunicação utilizando a interface de USB incorporada no próprio microcontrolador, estando esta limitada a $12 Mbps$ como velocidade teórica máxima referida no datasheet do fabricante (“Atmel: Documents ATxmega256A3U,” 2014).

A classe de comunicação utilizada na comunicação USB foi a CDC (*Communication Device Class*) na qual através dos *drivers* no Windows é criada uma porta virtual de comunicação série.

Para o teste foi implementado um vetor de um tamanho especificado, sendo este totalmente enviado para o microcontrolador. No microcontrolador o vetor recebido é comparado com um igual previamente gravado em memória, a fim de perceber se há falhas na comunicação, assim como a velocidade máxima de bits úteis possível.

A velocidade máxima obtida foi cerca de $4Mbps$ para o tamanho da *frame* de $630 Bytes$, como indicado na Figura 4.12.

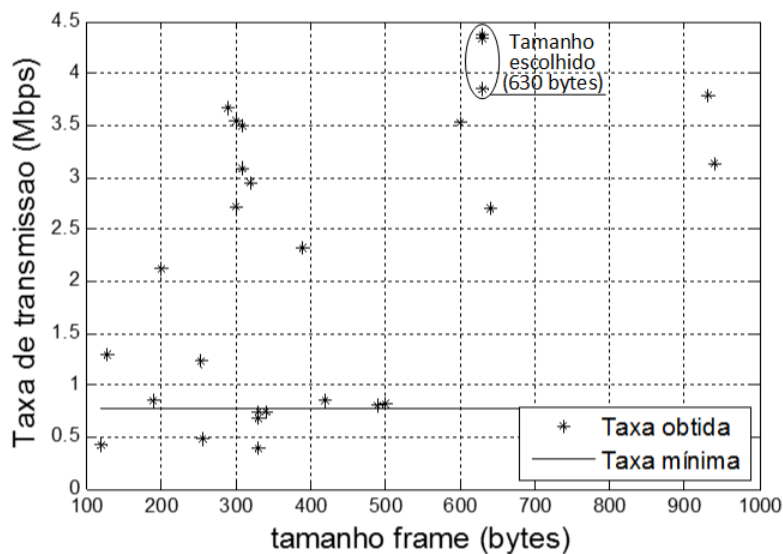


Figura 4.12: Valores médios obtidos nos testes de comunicação entre o PC e o μC consoante o tamanho da *frame*.

Para usufruir da velocidade de comunicação máxima de $12 Mbps$ (USB Full Speed) (“Fundamentals of USB Audio | EDN,” 2012), seria necessário transmitir o máximo possível dentro do tempo de cada *interrupt* do Windows para o USB, a $1 kHz$, o que daria $12kbits$, ou seja, $1.5 kBytes$ para o tamanho do *buffer*.

Implementação do Sistema/Protótipo

Para o áudio de 16 *bits* a 48 *kHz* é necessário a cada milissegundo transmitir 768 *bits*, ou seja, 96 *Bytes*, pelo que embora no gráfico da Figura 4.12 estejam representadas transmissões abaixo do pretendido mesmo com tamanhos de *frames* superior ao mínimo de 96 *Bytes* pode ser possível, devido ao não aproveitamento dos recursos disponibilizados pelo microcontrolador e pelo PC em simultâneo, estando também relacionado com prioridades nas interrupções.

Sendo que o microcontrolador está limitado a um oscilador interno de 32MHz com o núcleo interno de 8 *bit*, e necessita de fornecer amostras para a FPGA a cada 1/48000 *s*, o tamanho total do *buffer* necessita de ser cerca de 4 vezes o tamanho da *frame*, para não haver paragens de amostras, pois enquanto uma *frame* está a ser utilizada para fornecer as amostras para a FPGA, e apenas quando for completamente amostrada, o μC irá pedir uma nova *frame*. A Figura 4.13 evidencia um resumo da comunicação entre os dispositivos.

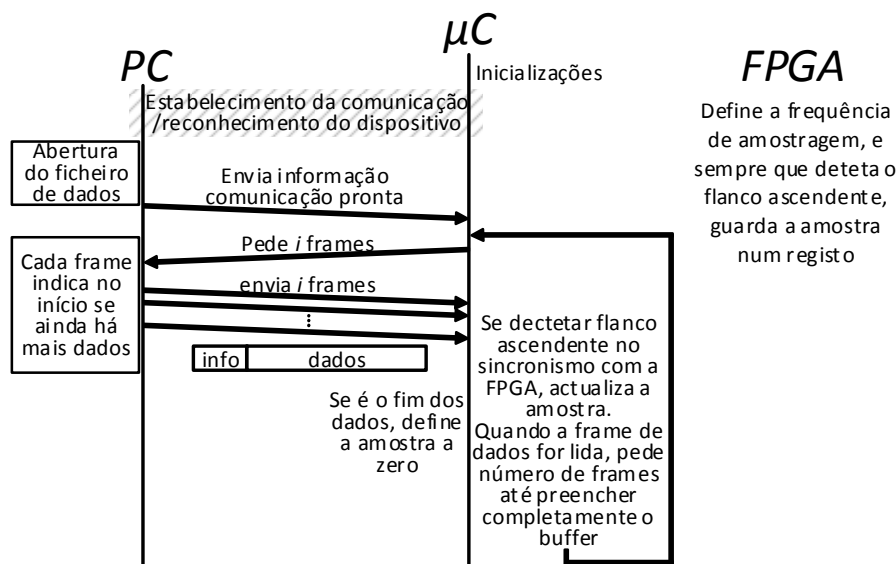
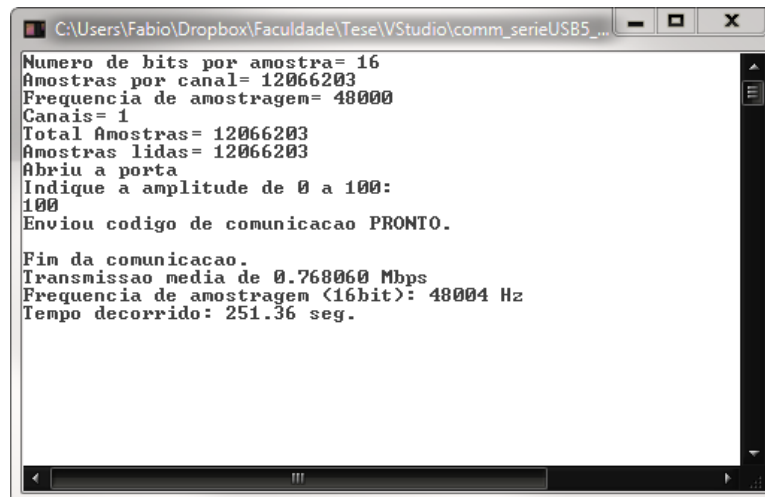


Figura 4.13: Diagrama sequência da comunicação.

No microcontrolador, a comunicação com a FPGA tem por base a interrupção de detecção de cada amostra no flanco ascendente do sinal, e é definida como principal prioridade, enquanto a comunicação USB é definida como prioridade secundária. Esta decisão de prioridades deve-se à necessidade de atualizar as amostras precisamente à frequência de 48 *kHz*, enquanto o tamanho do *buffer* serve para garantir sempre amostras disponíveis. O atraso de cada amostra desde que é lida no PC e é amostrada para a FPGA é cerca de 20 *ms* no pior das hipóteses, mas poderia ser reduzido com uma análise mais profunda, e um código otimizado tanto no PC como no μC . Na melhor das hipóteses este atraso poderia ser de 2 *ms* para a comunicação USB *Full Speed*, e de 240 μs para

USB *High Speed*, ou comumente conhecido como USB 2.0 (“Fundamentals of USB Audio | EDN,” 2012).

A interface do utilizador no computador teve como principal objetivo ser simples de utilizar, pelo que é em ambiente de linha de comandos, e além de dar indicações das propriedades do ficheiro de dados, possibilita definir a amplitude do sinal até 100%, assim como mostrar o resumo da comunicação com o DSP, quando esta terminar. Esta é apresentada na Figura 4.14.



```

C:\Users\Fabio\Dropbox\Faculdade\Tese\VSstudio\comm_serieUSB5_...
Numero de bits por amostra= 16
Amostras por canal= 12066203
Frequencia de amostragem= 48000
Canais= 1
Total Amostras= 12066203
Amostras lidas= 12066203
Abriu a porta
Indique a amplitude de 0 a 100:
100
Enviou codigo de comunicacao PRONTO.

Fim da comunicacao.
Transmissao media de 0.768060 Mbps
Frequencia de amostragem <16bit>: 48004 Hz
Tempo decorrido: 251.36 seg.

```

Figura 4.14: Interface PC - DSP.

4.7 Testes DSP

A arquitetura utilizada para modular o sinal a partir do formato PCM pode variar consoante o desenvolvimento, pois o objetivo principal é adaptar todo o sistema mutuamente, de modo a minimizar as perdas. Nesta fase foram estabelecidas todas as entradas e saídas, assim como analisadas as capacidades de produzir internamente os relógios necessários ao sincronismo de todo o sistema. A implementação de cada arquitetura é analisada no próximo capítulo juntamente com alguns resultados.

4.8 Comunicação DSP-Amplificador Digital

Para não existirem discrepâncias nas transições no flanco ascendente, ou descendente, ou mesmo interferências externas ao circuito, que poderia causar um transistor ativar enquanto o outro da mesma metade da *H-bridge* ainda estivesse ativo, foram utilizados transmissores diferenciais para cada um dos canais do amplificador digital, o que permite tempos constantes praticamente iguais em qualquer um dos flancos e mais imunidade a interferências externas.

Implementação do Sistema/Protótipo

Desde a detecção do flanco ascendente pelo transmissor diferencial, ou seja, na saída do sinal da FPGA, até à transição efetiva do transistor na saída da H-bridge ocorrem cerca de 64 ns, como indicado na Figura 4.15.

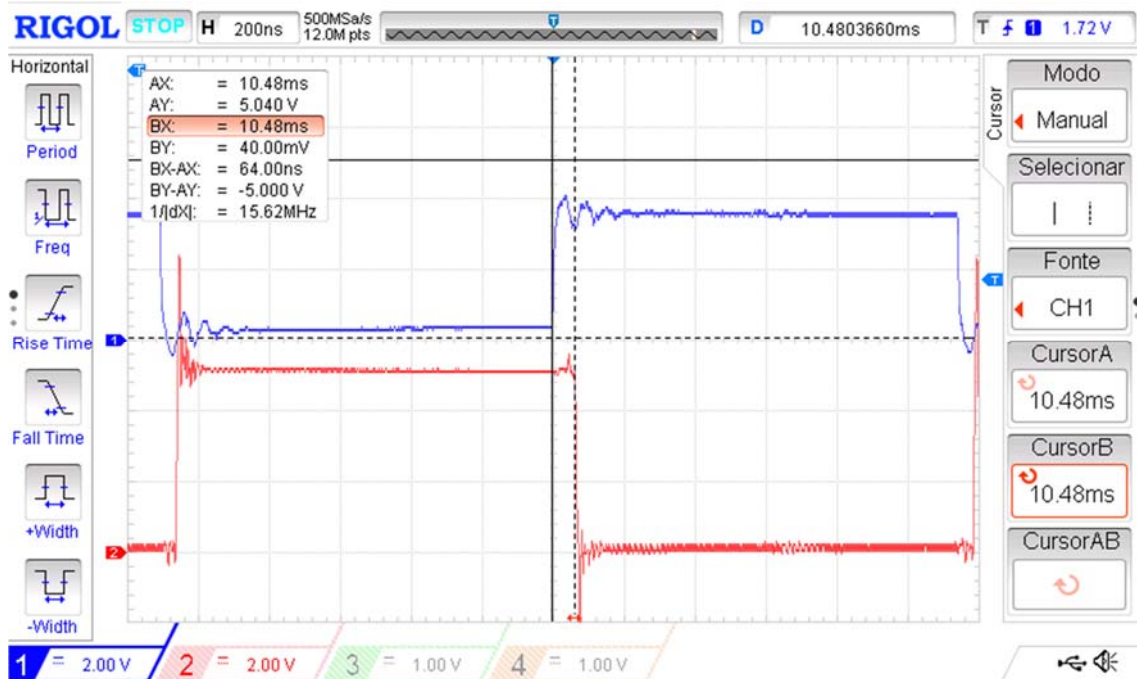


Figura 4.15: Atraso na transmissão do sinal até à carga. Ch1: Saída da FPGA. Ch2: Saída + da H-bridge do Amplificador Digital.

O atraso total está diretamente relacionado com a soma dos atrasos no transmissor diferencial, no recetor de diferencial, no gate driver e no tempo de resposta do transistor de saída, acrescido ainda do tempo *nonoverlapping*.

De analisar que a frequência possível para a entrada para o modulador é obtida a partir da equação (Eq 4.2), devido ao oscilador da FPGA ser de 25MHz e a PLL (Phase Locked Loop) interna que possibilita fatores de multiplicação e divisão até 512 níveis cada um. A frequência de amostragem do sinal de entrada de 48 kHz também é obtida tendo por base esta relação.

$$Frequência = \frac{25 \cdot 10^6 \cdot \frac{m}{d}}{2 \cdot val}, \quad (\text{Eq 4.2})$$

Em que *val* é o valor de contagem possível para obter a frequência de saída pretendida, *m* e *d* o fator de multiplicação e de divisão da PLL, respetivamente. O fator de 2 representa a troca num *flip-flop toggle* sempre que *val* é alcançado, e numerador da equação representa a frequência na saída da PLL.

Implementação do Sistema/Protótipo

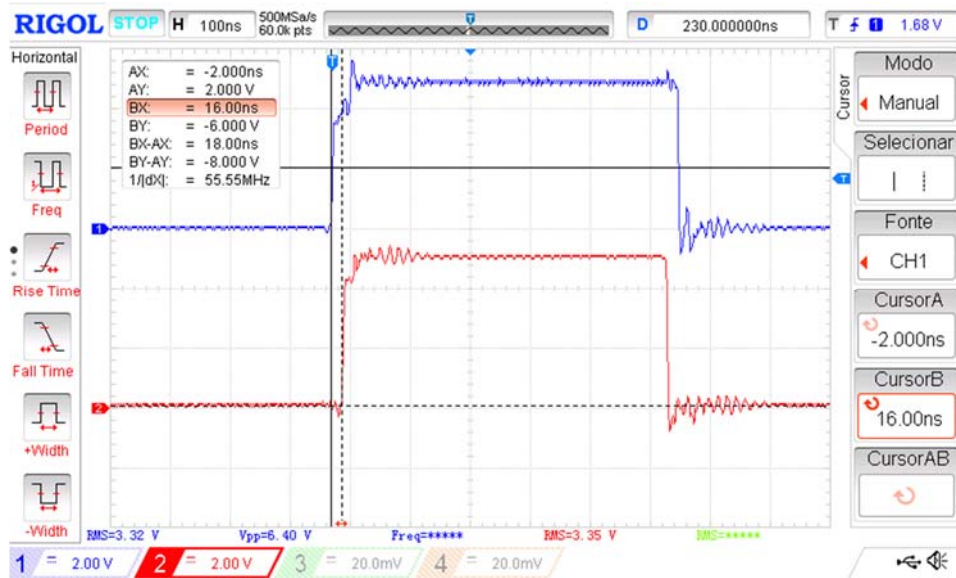


Figura 4.18: Com nonoverlapping de 18ns. Ch1: sinal na gate do PMOS (S1 da H-bridge). Ch2: sinal na gate do NMOS (S3 da H-bridge)

5 Simulações/Análise de Resultados

Neste capítulo são apresentadas as simulações do modulador sigma delta com o propósito da ligação ao desenvolvimento sequencial de melhores topologias para adequar à implementação prática, pois após as simulações em MATLAB, procedeu-se à implementação no DSP, a fim de comparar resultados simulados e práticos.

Todas as simulações foram realizadas com as aproximações à unidade em cada bloco interno do modulador, para aproximar à implementação na FPGA, não estando incluído o *jitter* do oscilador da FPGA, nem o tempo de *nonoverlapping*. Adicionalmente, no amplificador o sinal sofre ainda não-linearidades devido às capacidades parasitas dos transístores de saída, o que se traduz numa resposta não imediata, assim como a resistência de condução superior a algumas dezenas de *milliohm*.

Na análise prática destes resultados são tidos em conta fatores como o ruído de fundo ao reproduzir áudio, assim como algumas comparações entre as diferentes arquiteturas ao nível da audição do autor, podendo estar associada a uma opinião pessoal.

Para começar a validação das metodologias implementadas para criar as arquiteturas sigma-delta, a utilização da topologia de 2ª ordem com realimentação da saída é incondicionalmente estável, sendo representada na Figura 5.1.

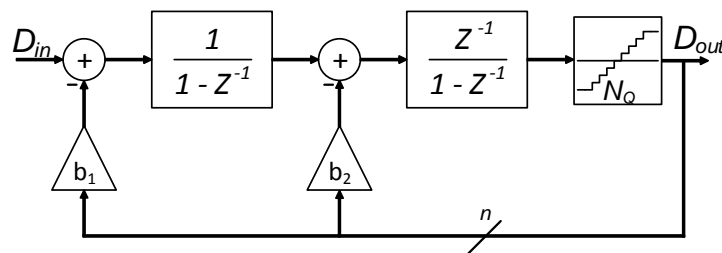


Figura 5.1: modulador $\Sigma\Delta$ de 2ª ordem com realimentação.

Nesta fase, na entrada é considerado um bloco *sample & hold* para interpolar o sinal, pelo que são notáveis as imagens do sinal a mais altas frequências devido à amostragem do sinal a 48 kHz . Em todas as medições da relação sinal-ruído e distorção (SNDR) foi considerada a banda entre os 20 e os 20 kHz .

Esta implementação, ainda que básica, possibilita resultados considerados razoáveis para o áudio, ainda que possibilite melhorias associadas à redução da frequência na saída do modulador devido às limitações físicas ao nível do amplificador digital. A simulação pode ser encontrada na Figura 5.2.

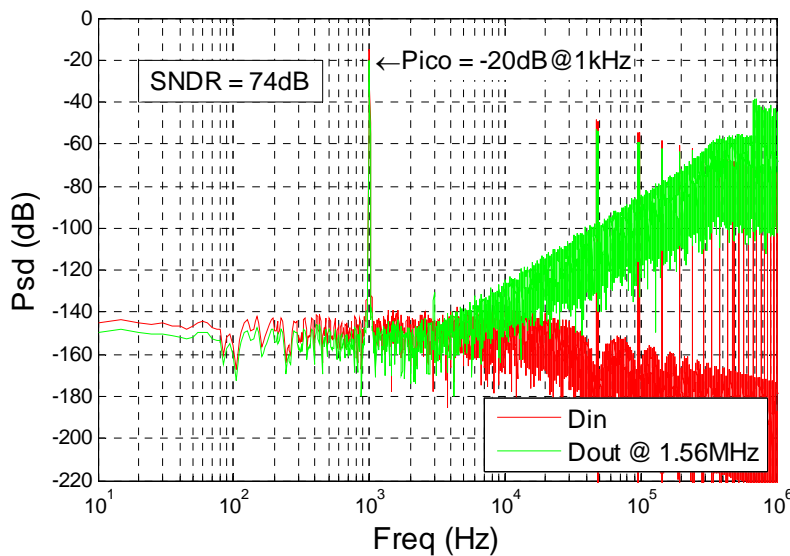


Figura 5.2: Densidade espectral obtida através de simulação para o modulador de 2ª Ordem com quantização de 1 bit.

No que diz respeito à mesma arquitetura, mas com a quantização de 1.5 bit, esta possibilita atenuar o ruído de quantização na banda, mas os resultados ao nível da audição são melhores para a quantização de 1 bit. Um dos problemas associados à quantização de 1.5 bit é o facto de que, quando a quantização está no nível nulo, o filtro deixa de possuir realimentação, pelo que necessita de um sinal considerável na entrada para o sistema voltar a possuir uma quantização diferente de zero, o que se traduz em mais distorção quando o sinal na entrada é reduzido. Além deste fator, a passagem por zero no amplificador digital possibilita maior oscilação na alimentação devido à passagem e consequentemente interrupção da corrente, o que se traduz num resultado final de inferior qualidade.

Para possibilitar a utilização independente dos 4 altifalantes, juntamente com um modulador $\Sigma\Delta$ multi-bit, foi elaborada a arquitetura *Mash 2+2*, com o objetivo de reduzir o ruído de quantização global, e consequentemente na banda de interesse. Este sistema tem por base o cancelamento do ruído de quantização do andar superior, pelo que para

sincronizar os tempos de cada amostra nos andares é necessário adicionar uma função transferência na saída de cada andar de modo a proporcionar este efeito, estando a arquitetura representada na Figura 5.3. Em cada quantizador foram utilizados três níveis, ou seja, 1.5bit.

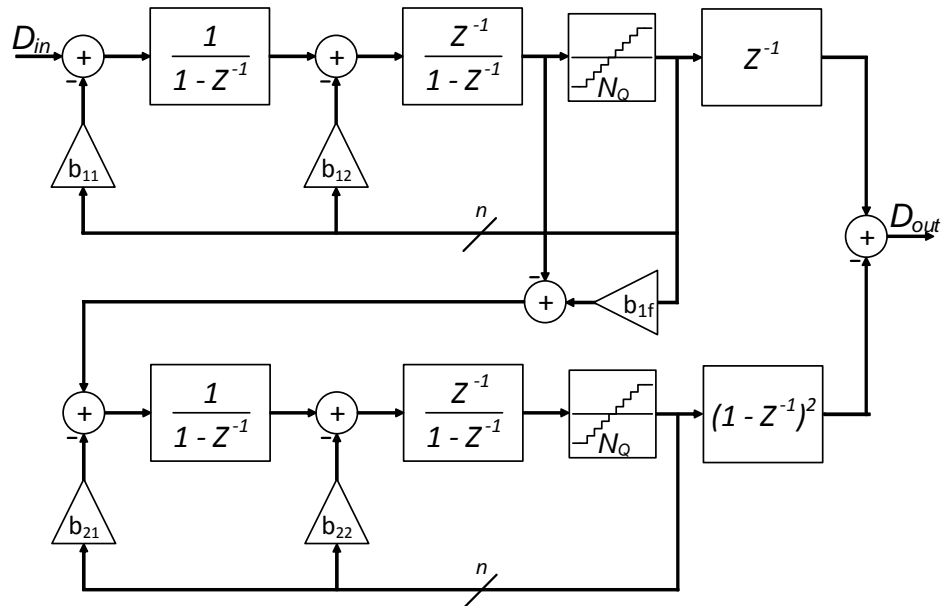


Figura 5.3: modulador $\Sigma\Delta$ com arquitetura Mash 2+2.

Na Figura 5.4 pode encontrar-se a simulação da arquitetura *Mash* 2+2, podendo ser notável a baixa distorção assim como a redução significativa da frequência máxima do sinal de saída para próximo dos 800 kHz.

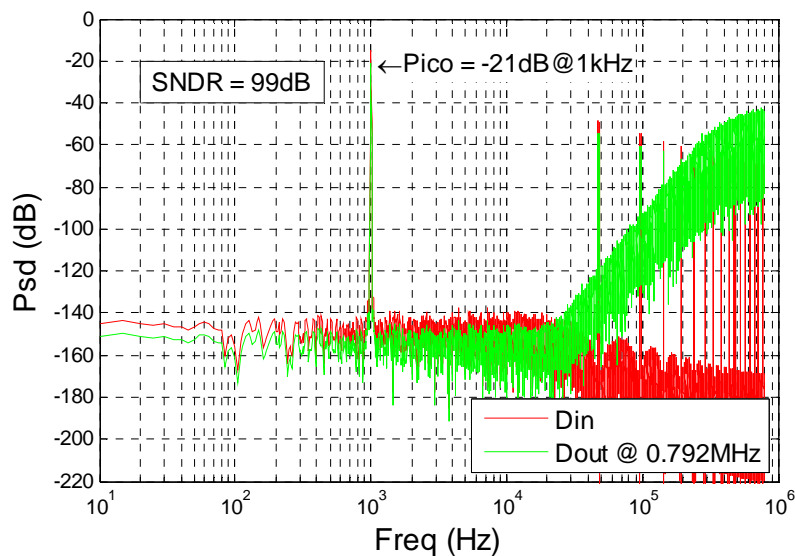


Figura 5.4: Densidade espectral obtida através de simulação para o modulador de 4ª Ordem Mash 2+2.

Ao analisar o sinal de saída representado na Figura 5.5 conclui-se que este é muito pouco perceptível de obter informação do sinal original, devido ao segundo andar utilizado para efetuar o cancelamento da quantização gerada no primeiro andar.

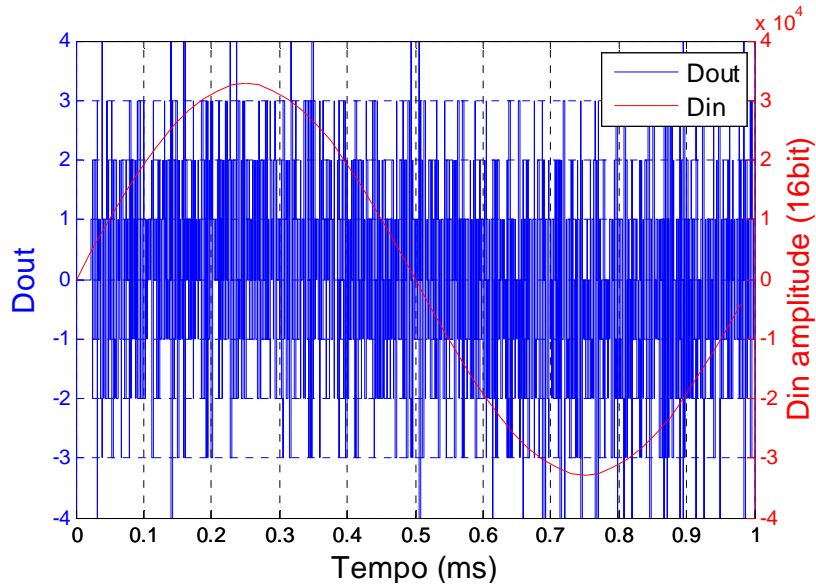


Figura 5.5: Sinal de saída da arquitetura Mash 2+2 com um sinal de entrada de 1 kHz com amplitude máxima a 16 bit.

No segundo andar, o bloco necessário para efetuar o cancelamento do ruído de quantização do primeiro andar proporciona um peso máximo de 4, estando representado na (Eq 5.1).

$$(1 - Z^{-1})^2, \quad (\text{Eq 5.1})$$

De seguida é somado com o peso unitário do primeiro andar, o que totaliza uma variação máxima de amplitude no sinal D_{out} de -5 a $+5$. Para atenuar este efeito ajustaram-se os níveis de comparação dos comparadores no bloco de quantização, o que fez restringir a variação entre -4 e $+4$. Na Figura 5.6 está evidenciado o histograma de ocorrências do sinal de saída para um sinal sinusoidal de 1 kHz, e o aparecimento do peso de 5 é praticamente inexistente.

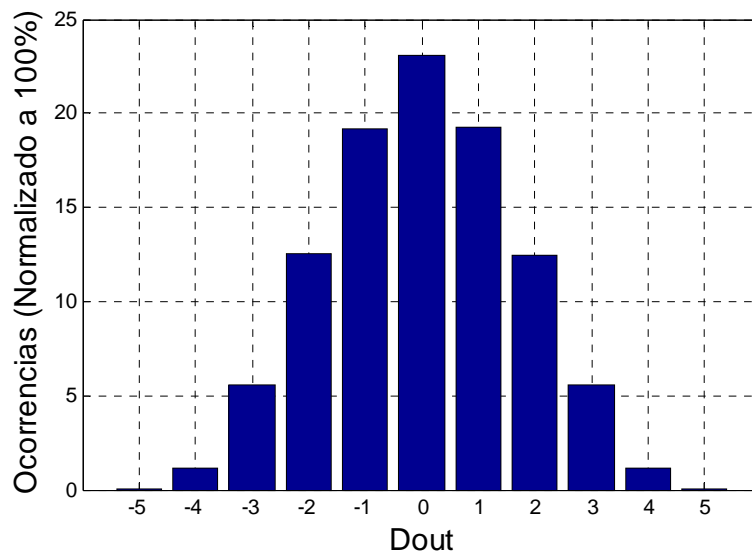


Figura 5.6: Histograma dos pesos do sinal de saída Dout.

Para possibilitar um valor DC médio em cada altifalante nulo foi implementado em cada nível de quantização uma memória com todos os estados possíveis para o respectivo nível. Pode encontrar-se na Tabela 5.2 referenciados desde o nível 0 ao 4, sendo que os valores nos níveis negativos apenas se diferenciam pela troca na saída de +1 para -1.

Tabela 5.1. Configuração das memórias para quantizações multi-bit.

Nível	Contagem	CH1	CH2	CH3	CH4
0	0	0 ⁺	0 ⁻	0 ⁺	0 ⁻
	1	0 ⁻	0 ⁺	0 ⁺	0 ⁻
	2	0 ⁻	0 ⁺	0 ⁻	0 ⁺
	3	0 ⁺	0 ⁺	0 ⁺	0 ⁺
	4	0 ⁻	0 ⁻	0 ⁺	0 ⁺
	5	0 ⁺	0 ⁻	0 ⁻	0 ⁺
	6	0 ⁺	0 ⁻	0 ⁻	0 ⁻
	7	0 ⁻	0 ⁺	0 ⁻	0 ⁻
	8	0 ⁻	0 ⁺	0 ⁺	0 ⁺
	9	0 ⁺	0 ⁺	0 ⁻	0 ⁻
	10	0 ⁻	0 ⁻	0 ⁻	0 ⁻
	11	0 ⁻	0 ⁻	0 ⁺	0 ⁻
	12	0 ⁺	0 ⁺	0 ⁺	0 ⁻
	13	0 ⁺	0 ⁻	0 ⁺	0 ⁺
	14	0 ⁻	0 ⁻	0 ⁻	0 ⁺
	15	0 ⁺	0 ⁺	0 ⁻	0 ⁺

Simulações/Análise de Resultados

Nível	Contagem	CH1	CH2	CH3	CH4
1	0	+1	0 ⁻	0 ⁻	0 ⁻
	1	0 ⁺	0 ⁺	0 ⁺	+1
	2	0 ⁻	0 ⁻	+1	0 ⁻
	3	0 ⁺	+1	0 ⁺	0 ⁺
	4	+1	0 ⁻	0 ⁻	0 ⁺
	5	0 ⁻	0 ⁺	0 ⁺	+1
	6	0 ⁺	0 ⁺	+1	0 ⁺
	7	0 ⁻	+1	0 ⁻	0 ⁻
	8	+1	0 ⁻	0 ⁺	0 ⁻
	9	0 ⁺	0 ⁺	0 ⁻	+1
	10	0 ⁻	0 ⁻	+1	0 ⁺
	11	0 ⁺	+1	0 ⁺	0 ⁻
	12	+1	0 ⁺	0 ⁻	0 ⁺
	13	0 ⁻	0 ⁻	0 ⁺	+1
	14	0 ⁺	0 ⁺	+1	0 ⁻
	15	0 ⁻	+1	0 ⁻	0 ⁺
	16	+1	0 ⁻	0 ⁺	0 ⁻
	17	0 ⁺	0 ⁻	0 ⁺	+1
	18	0 ⁻	0 ⁺	+1	0 ⁻
	19	0 ⁺	+1	0 ⁻	0 ⁻
	20	+1	0 ⁺	0 ⁻	0 ⁻
	21	0 ⁻	0 ⁻	0 ⁻	+1
	22	0 ⁺	0 ⁻	+1	0 ⁻
	23	0 ⁻	+1	0 ⁺	0 ⁺
	24	+1	0 ⁺	0 ⁻	0 ⁻
	25	0 ⁻	0 ⁺	0 ⁻	+1
	26	0 ⁺	0 ⁻	+1	0 ⁺
	27	0 ⁻	+1	0 ⁺	0 ⁻
	28	+1	0 ⁺	0 ⁻	0 ⁺
	29	0 ⁺	0 ⁻	0 ⁻	+1
	30	0 ⁻	0 ⁺	+1	0 ⁺
	31	0 ⁺	+1	0 ⁻	0 ⁻
2	0	0 ⁺	+1	0 ⁺	+1
	1	0 ⁻	0 ⁻	+1	+1
	2	+1	0 ⁺	+1	0 ⁺
	3	+1	+1	0 ⁻	0 ⁻
	4	0 ⁺	+1	+1	0 ⁻
	5	0 ⁻	+1	0 ⁺	+1
	6	+1	0 ⁺	0 ⁻	+1
	7	0 ⁺	0 ⁻	+1	+1
	8	+1	0 ⁺	+1	0 ⁻
	9	+1	+1	0 ⁻	0 ⁺
	10	0 ⁻	+1	+1	0 ⁻
	11	0 ⁺	+1	0 ⁻	+1
	12	+1	0 ⁻	0 ⁻	+1
	13	0 ⁻	0 ⁺	+1	+1
	14	+1	0 ⁻	+1	0 ⁺
	15	+1	+1	0 ⁻	0 ⁻
	16	0 ⁻	+1	+1	0 ⁺
	17	0 ⁻	+1	0 ⁻	+1
	18	+1	0 ⁺	0 ⁻	+1
	19	0 ⁺	0 ⁺	+1	+1
	20	+1	0 ⁻	+1	0 ⁻
	21	0 ⁺	+1	+1	0 ⁺
	22	+1	+1	0 ⁻	0 ⁺
	23	+1	0 ⁻	0 ⁻	+1
3	0	+1	+1	+1	0 ⁻
	1	+1	0 ⁺	+1	+1
	2	+1	+1	0 ⁻	+1
	3	0 ⁺	+1	+1	+1
	4	+1	+1	+1	0 ⁺
	5	+1	0 ⁻	+1	+1
	6	+1	+1	0 ⁺	+1
	7	0 ⁻	+1	+1	+1

Em cada nível foram prescindidos os estados supondo o cancelamento acústico dos pesos +1 e -1, pois foi elaborado um teste básico de inverter a polaridade de dois altifalantes, mas a acústica não se cancelava devido à não sobreposição dos altifalantes, assim como propriedades não ideais associadas a estes.

Na implementação desta metodologia, cada módulo de memória possuía um contador, diretamente ligado ao endereçamento, sendo que no valor estava contida a informação para polarizar o estado individual de cada canal, possibilitado pelo peso pretendido.

Foram utilizados contadores aleatórios, e contadores sincronizados com as transições na saída do modulador para proceder à contagem de cada nível de quantização, o que não se demonstrou eficiente na reprodução de áudio, havendo por base ruído aleatório gerado pelo cancelamento não-ideal desta metodologia.

De modo a possibilitar a utilização da quantização multi-bit, esta foi testada no modulador de 2ª ordem, representado na Figura 5.1, possibilitando a quantização de nove níveis independentes. O resultado da simulação espectral pode ser encontrado na Figura 5.7.

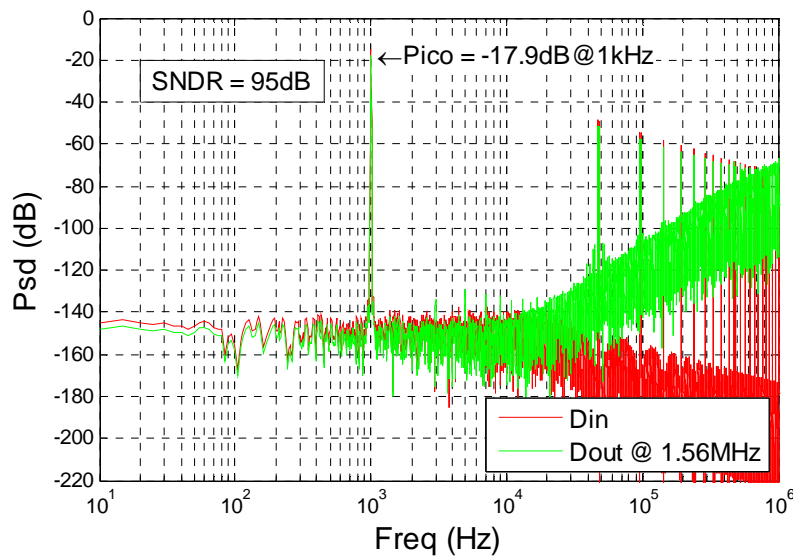


Figura 5.7: Densidade espectral obtida através de simulação para o modulador de 2ª Ordem com quantização de 3.5bit.

No que diz respeito à forma do sinal de saída do modulador, representado na Figura 5.8, neste é perceptível a informação do sinal de entrada ao nível visual.

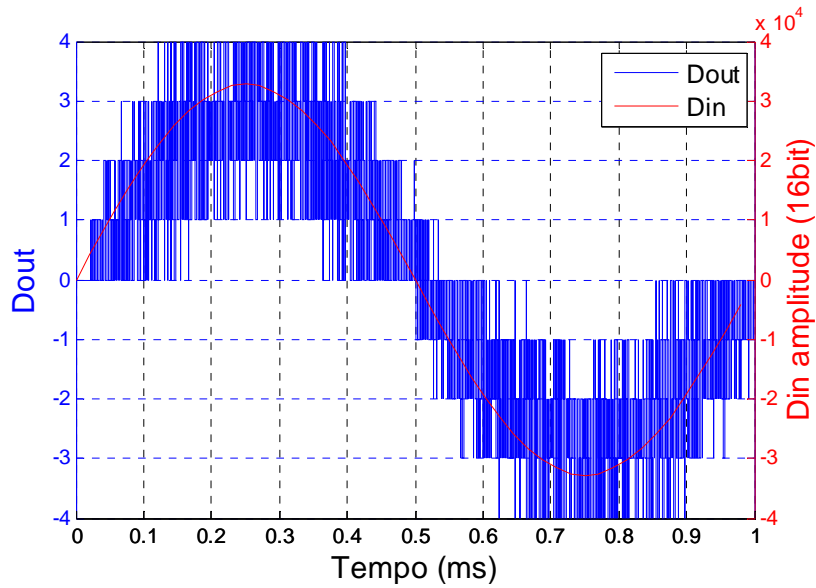


Figura 5.8: Sinal de saída da arquitetura de 2ª ordem 3.5 bit com um sinal de entrada de 1 kHz com amplitude máxima a 16 bit.

Na Figura 5.9 encontra-se o histograma dos níveis de quantização na saída do modulador.

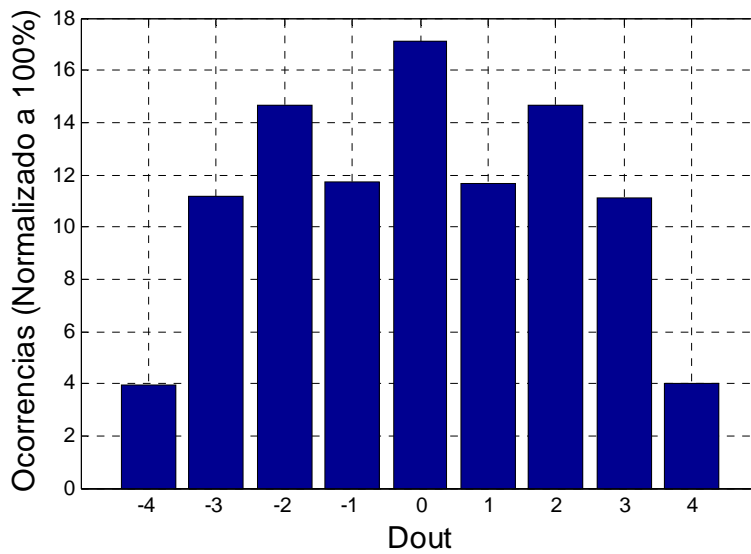


Figura 5.9: Histograma da saída do modulador $\Sigma\Delta$ de 2ª ordem com quantização de 3.5 bit.

Para possibilitar a reprodução de áudio com esta arquitetura multi-bit foram utilizadas as mesmas memórias que na arquitetura MASH, assim como os mesmos testes de endereçamento aleatórios para impossibilitar a saturação do altifalante, e embora o resultado final ao nível da audição ser ligeiramente melhor, este ainda possuía ruído de fundo audível.

Para a possibilidade de uma arquitetura multi-bit funcionar com múltiplos altifalantes pondera-se ser necessário um cuidado adicional através da análise individual em cada altifalante, possuindo uma espécie de integrador pois há a necessidade de todos eles possuírem um valor médio igual entre estes, a fim de não produzir ruído na banda audível.

Na próxima arquitetura, representada na Figura 5.10, esta deve possuir um cuidado adicional a ter em conta, pois apesar de possuir menos distorção, os sinais de entrada com grandes amplitudes a alta frequência podem tornar o modulador instável devido à interpolação *sample & hold*, pelo que há a necessidade de aplicar um filtro adequado na entrada.

As constantes foram baseadas em (Kulka & Woszczek, 2008).

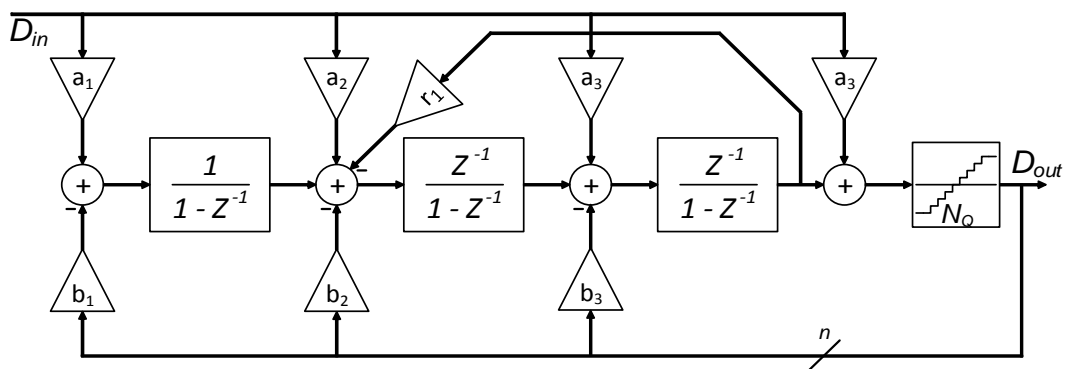


Figura 5.10: Modulador $\Sigma\Delta$ de 3ª ordem CRFB de baixa distorção.

Esta arquitetura difere da habitual pela ordem diferente em que são realizados os atrasos em cada um dos integradores, sendo a simulação representada na Figura 5.11.

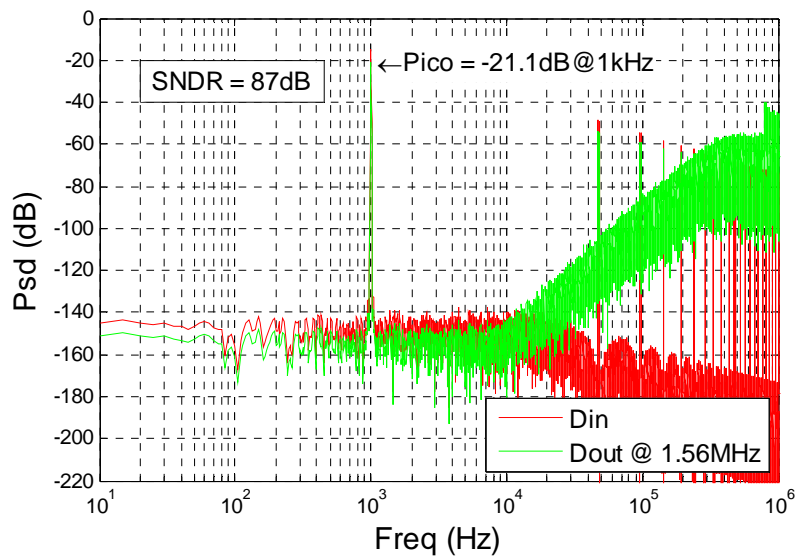


Figura 5.11: Análise espectral do modulador de 3ª ordem sem ressoador, com quantização de 1 bit.

Simulações/Análise de Resultados

Apesar de possuir algum ruído de quantização na banda audível, a frequência máxima da saída do modulador é de 1.56 MHz, representando uma frequência elevada para o amplificador digital. De modo a estudar as capacidades desta arquitetura de 3ª ordem, foi implementada a quantização de 1.5 bit, assim como o bloco de ressonância para reduzir o ruído de quantização na banda. Cada uma destas simulações pode ser encontrada desde a Figura 5.12 à Figura 5.14.

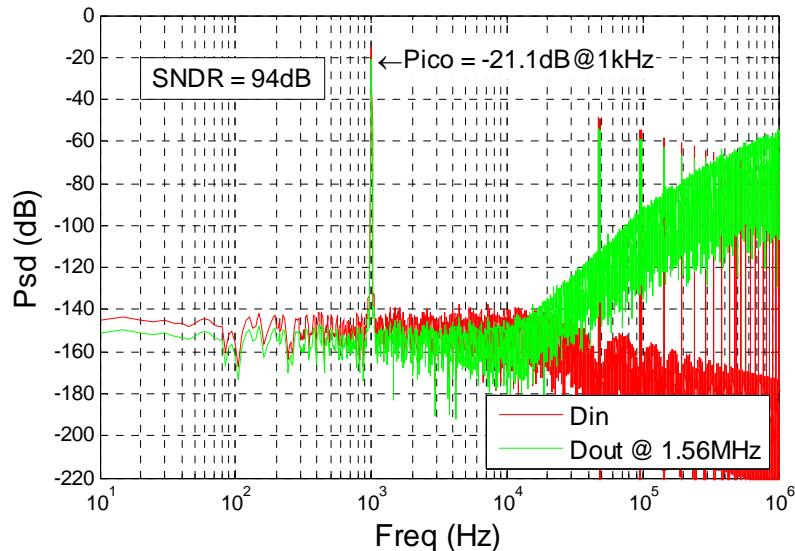


Figura 5.12: Análise espectral do modulador de 3ª ordem sem ressoador, com quantização de 1.5 bit.

A quantização de 1.5 bit possibilita diminuir o ruído de quantização total, e consequentemente o ruído na banda.

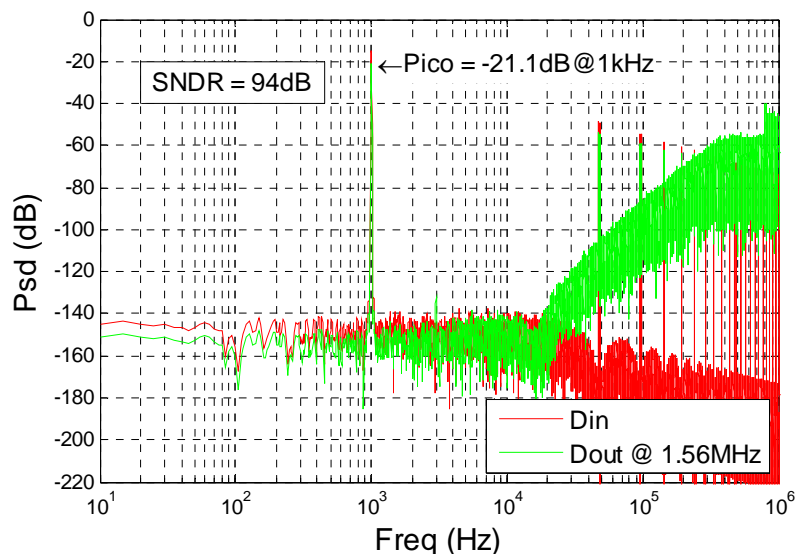


Figura 5.13: Análise espectral do modulador de 3ª ordem com ressoador, com quantização de 1 bit.

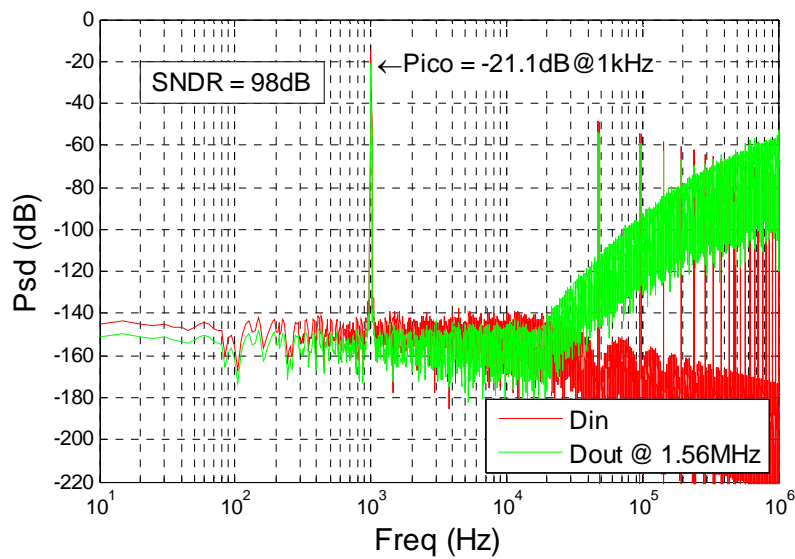


Figura 5.14: Análise espectral do modulador de 3ª ordem com ressoador, com quantização de 1.5 bit.

Apesar da melhoria do ruído de quantização respectivo à arquitetura da Figura 5.14, esta produz resultados piores ao nível da audição que os sistemas de quantização de 1 bit com e sem ressoador.

A Figura 5.15 representa a densidade espectral de potência da arquitetura típica CRFB com os mesmos coeficientes do modulador, ficando evidente o aparecimento de alguma distorção nas harmónicas ímpares.

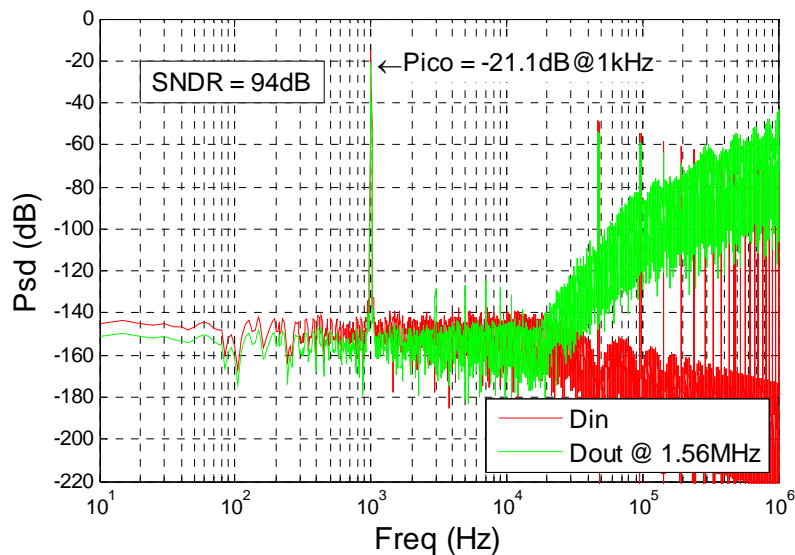


Figura 5.15: Análise espectral do modulador de 3ª ordem com ressoador, com quantização de 1.5 bit (arquitetura convencional).

Com o objetivo de diminuir a frequência máxima do modulator, surge a necessidade de aumentar a ordem para possibilitar o menor ruído de quantização possível na banda de interesse, para tal é implementada a arquitetura representada na Figura 5.16.

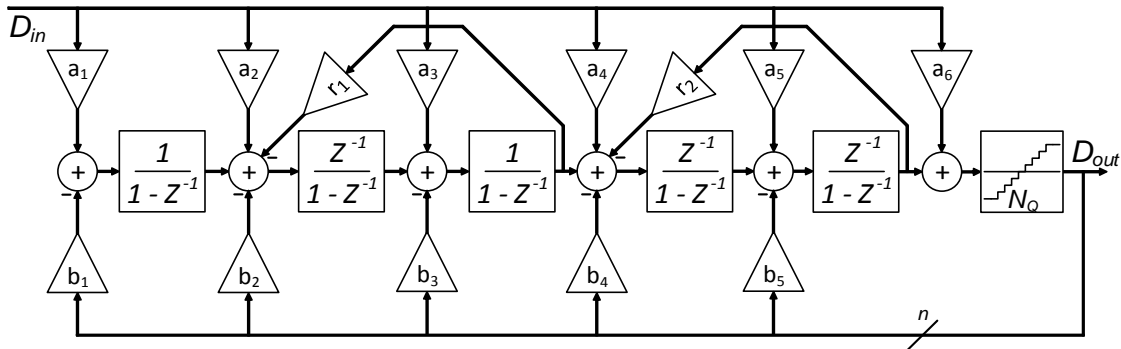


Figura 5.16: Modulator $\Sigma\Delta$ de 5ª ordem CRFB de baixa distorção.

Com esta arquitetura, a redução da frequência na saída do modulator é significativa, para os 888 kHz, possibilitando assim menos perdas nas transições, assim como melhores resultados devido ao *nonoverlapping* ser menos significativo relativamente à duração do pulso. Na Figura 5.17 está representada a simulação da arquitetura mencionada para a quantização de 1 bit, sem ressoadores, sendo notável algum ruído de quantização dentro da banda de interesse.

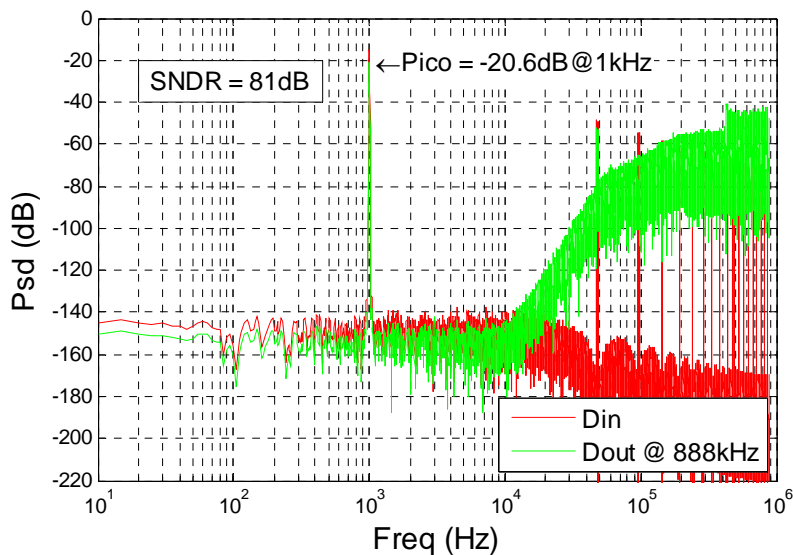


Figura 5.17: Análise espectral do modulator de 5ª ordem sem ressoadores, com quantização de 1 bit.

Ao aumentar os níveis de quantização para 1.5 bit, esta possibilita melhorar a relação SNDR em cerca de 9 dB, representada na Figura 5.18.

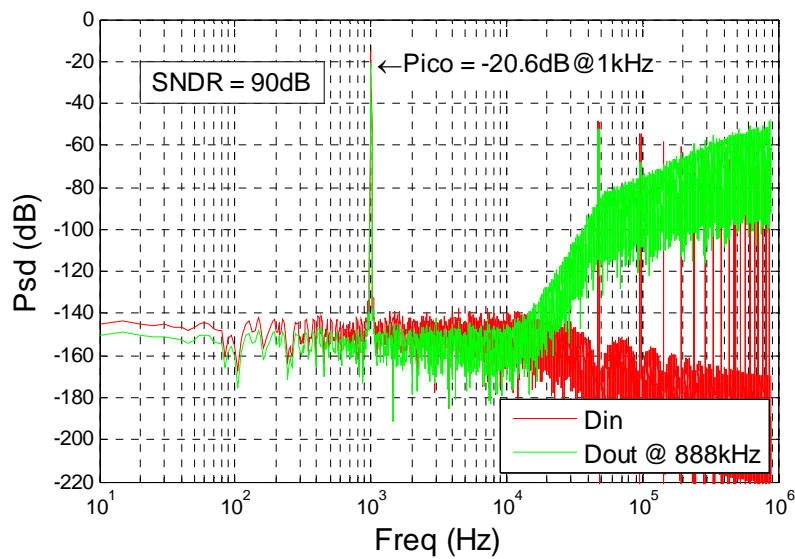


Figura 5.18: Análise espectral do modulador de 5ª ordem sem ressoadores, com quantização de 1.5 bit.

Sendo ainda notável algum ruído de quantização na banda, ao aplicar os ressoadores, com a quantização de 1 bit começa a ser perceptível a distorção associada ao modulador, representado na Figura 5.19.

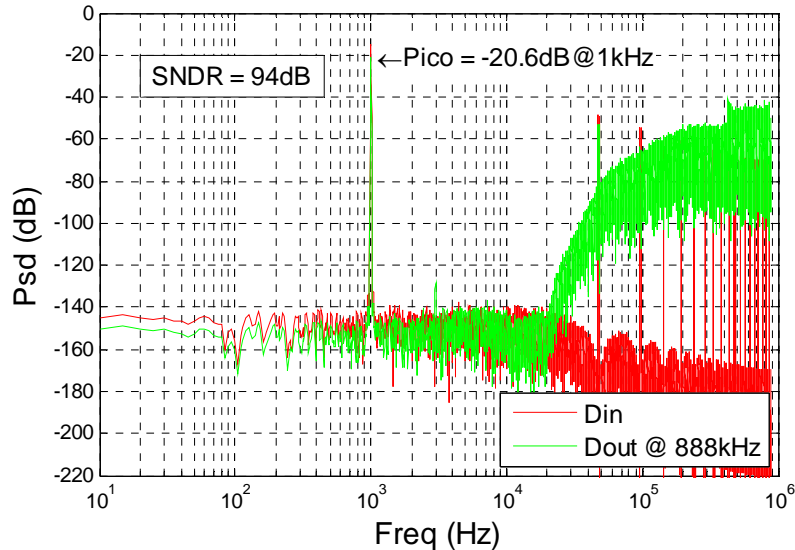


Figura 5.19: Análise espectral do modulador de 5ª ordem com ressoadores, com quantização de 1 bit.

Com a quantização de 1.5 bit, ilustrado na Figura 5.20, a distorção é significativamente melhorada, mas ao nível do áudio, esta implementação introduz perceptivelmente mais ruído de fundo que a de 1 bit.

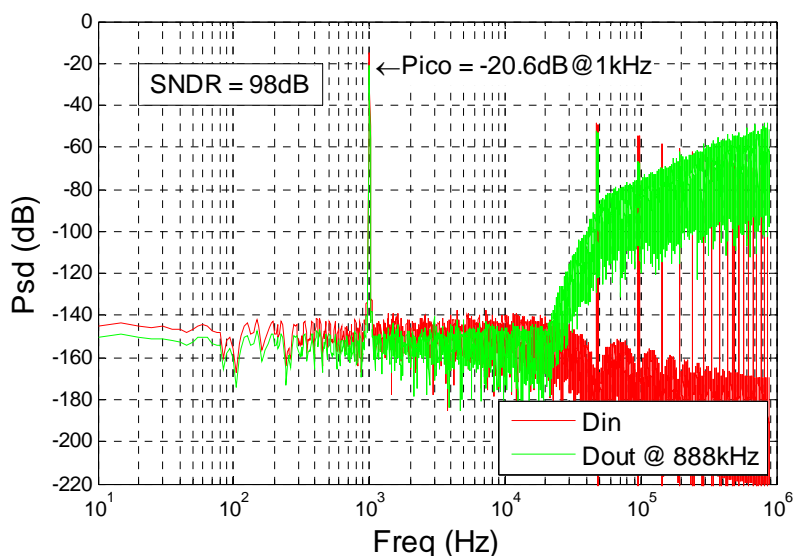


Figura 5.20: Análise espectral do modulador de 5ª ordem com ressoadores, com quantização de 1.5 bit.

De modo a atenuar as transições pelo nível zero foi utilizada uma quantização 1+ bit, significando esta uma quantização superior a 1 bit. Esta é conseguida através do ajuste dos níveis de comparação no bloco quantizador.

O objetivo principal deste tipo de quantização é reduzir as variações de corrente na H-bridge, e conseqüentemente atenuar as variações de tensão na alimentação, enquanto se continua com o benefício de possuir o nível zero, para melhorar o consumo energético em amplitudes muito reduzidas, assim como aumentar a estabilidade do modulador. A simulação pode ser encontrada na Figura 5.21.

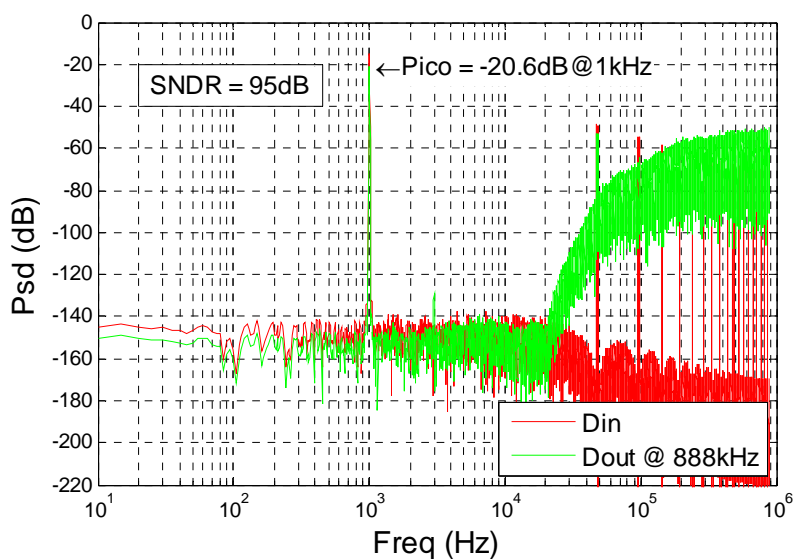


Figura 5.21: Análise espectral do modulador de 5ª ordem com ressoadores, com quantização de 1+ bit.

Na Figura 5.22 está representado o histograma deste tipo de quantização, sendo significativamente reduzidas as transições para o nível lógico zero.

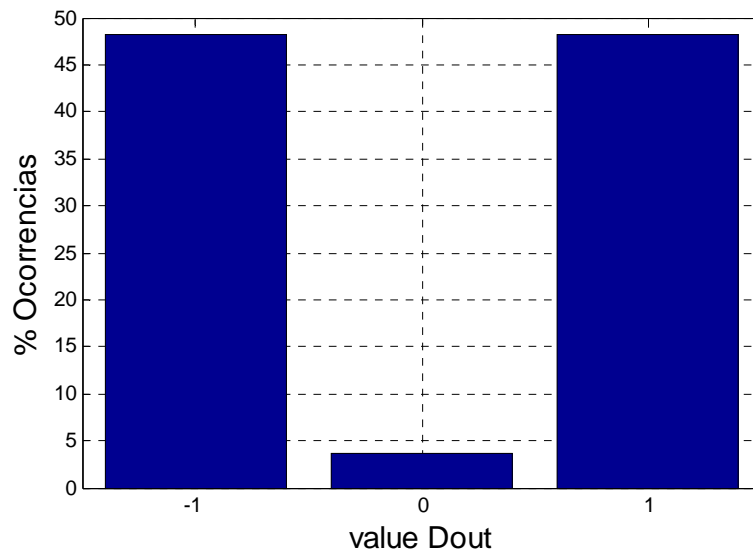


Figura 5.22: Histograma da saída do modulador $\Sigma\Delta$ de 5ª ordem com quantização de 1+ bit com 2 ressoadores.

Para uma comparação ao nível de cada arquitetura implementada no DSP, na Tabela 5.2 estão identificados os principais pontos de comparação relevantes.

Para perceber melhor o que é pretendido de representar pela quantização de 1+ bit, a Figura 5.23 ilustra uma a mudança para um nível de comparação inferior, reduzindo a permanência no nível zero, pelo que se assemelha praticamente à quantização de 1 bit, mas com a vantagem de possuir mais estabilidade e melhor consumo quando estão sinais de amplitude reduzida na entrada.

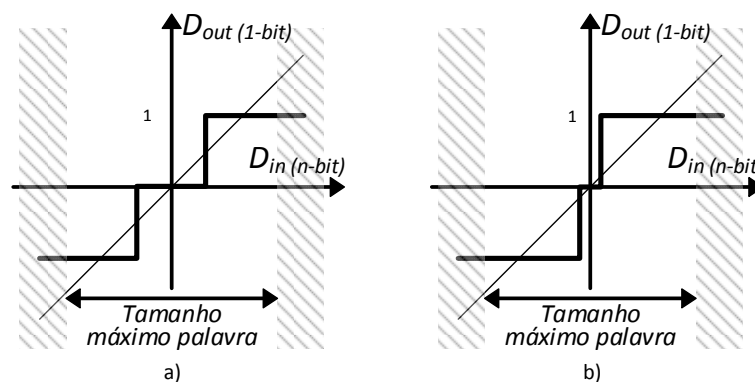


Figura 5.23: a) Gráfico com quantização de 1.5 bit. b) Gráfico com quantização 1+ bit.

Tabela 5.2. Dados do modulador por arquitetura, banda $f_B=20\text{ kHz}$.

Descrição	Parâmetro	Símbolo	Valor	Unid.
Arquitetura: Simples Ordem: 2	Frequência MFs	MF_s	3.12	MHz
	SNR*	SNR	74	dB
	Nº bits	-	1	-
	Elementos lógicos ⁺	-	126	-
Arquitetura: Simples Ordem: 2	Frequência MFs	MF_s	3.12	MHz
	SNR*	SNR	80	dB
	Nº bits	-	1.5	-
	Elementos lógicos ⁺	-	141	-
Arquitetura: MASH Ordem: 2+2	Frequência MFs	MF_s	1.584	MHz
	SNR*	SNR	99	dB
	Nº bits	-	3.5	-
	Elementos lógicos ⁺	-	296	-
Arquitetura: Simples Ordem: 2	Frequência MFs	MF_s	3.12	MHz
	SNR*	SNR	95	dB
	Nº bits	-	3.5	-
	Elementos lógicos ⁺	-	296	-
Arquitetura: CIFB Ordem: 3 ^a	Frequência MFs	MF_s	3.12	MHz
	SNR*	SNR	87	dB
	Nº bits	-	1	-
	Elementos lógicos ⁺	-	436	-
Arquitetura: CIFB Ordem: 3 ^a	Frequência MFs	MF_s	3.12	MHz
	SNR*	SNR	94	dB
	Nº bits	-	1.5	-
	Elementos lógicos ⁺	-	457	-
Arquitetura: CRFB Ordem: 3 ^a	Frequência MFs	MF_s	3.12	MHz
	SNR*	SNR	94	dB
	Nº bits	-	1	-
	Elementos lógicos ⁺	-	472	-
Arquitetura: CRFB Ordem: 3 ^a	Frequência MFs	MF_s	3.12	MHz
	SNR*	SNR	98	dB
	Nº bits	-	1.5	-
	Elementos lógicos ⁺	-	499	-
Arquitetura: CIFB Ordem: 5 ^a	Frequência MFs	MF_s	1.776	MHz
	SNR*	SNR	81	dB
	Nº bits	-	1	-
	Elementos lógicos ⁺	-	935	-
Arquitetura: CIFB Ordem: 5 ^a	Frequência MFs	MF_s	1.776	MHz
	SNR*	SNR	90	dB
	Nº bits	-	1.5	-
	Elementos lógicos ⁺	-	1044	-
Arquitetura: CRFB Ordem: 5 ^a	Frequência MFs	MF_s	1.776	MHz
	SNR*	SNR	94	dB
	Nº bits	-	1	-
	Elementos lógicos ⁺	-	1069	-
Arquitetura: CRFB Ordem: 5 ^a	Frequência MFs	MF_s	1.776	MHz
	SNR*	SNR	98	dB
	Nº bits	-	1.5	-
	Elementos lógicos ⁺	-	1181	-

*Simulado

⁺Obtido a partir do compilador do Quartus II - Inclui blocos adicionais de lógica (f_s , MF_s , non-overlapping, conversor para H-bridge)



6 Avaliação experimental do sistema

Para a análise dos resultados experimentais surgiu a necessidade de implementar a arquitetura CRFB comum ao invés da proposta na Figura 5.16, devido ao método de interpolação basear-se no *sample and hold*, e as transições entre amostras proporcionavam instabilidade ao modulador, sendo necessário para solucionar este problema um filtro de interpolação adequado, sendo esta implementação abordada no capítulo 7 no trabalho futuro.

A análise elétrica ao nível da saída do DSP e à saída do amplificador digital reflete a deterioração da SNDR imposta pela amplificação de classe D. Sendo o altifalante um transdutor muito importante na reprodução de áudio, a medição acústica identifica as situações não lineares associadas a estes dispositivos.

Com base na análise destes resultados é possível identificar possíveis anomalias ou fragilidades do sistema, assim como perceber de que módulo vem o ruído maioritário, para, se possível, atenuar este e conseqüentemente obter melhores resultados.

Para efetuar as análises elétricas foram utilizados os seguintes equipamentos:

- Osciloscópio Rigol DS1074Z.
- Fonte de alimentação Rigol DP832.
- Multímetro UNI-T UT-71D.
- Multímetro Valleman DVM 9912.
- Analisador Espetral Audio Precision ATS-2.
- Osciloscópio Rohde&Schwarz RTO 1022.

Avaliação experimental do sistema

As configurações para a avaliação experimental elétrica ao nível do modulador $\Sigma\Delta$ e do amplificador digital estão esquematizadas na Figura 6.1.

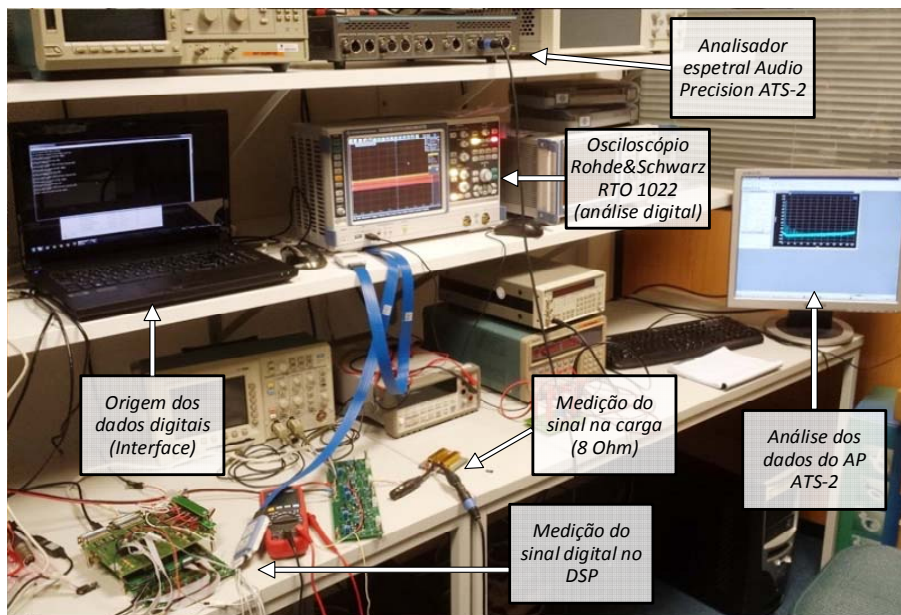


Figura 6.1: Bancada de trabalho (medições avançadas).

6.1 Avaliação experimental do modulador $\Sigma\Delta$ digital

A obtenção da melhor SNDR no sistema completo é adquirida através de um equilíbrio entre o modulador implementado no DSP e as capacidades do amplificador digital realizar a conversão do sinal para analógico, ao incluir as perdas na condutividade dos componentes de saída assim como transições não ideais associadas aos transístores e às bobines, pelo que a frequência máxima no amplificador está diretamente relacionada a este fator.

A Figura 6.2 evidencia a densidade espectral de potência simulada do modulador de 1 bit, a uma frequência máxima de 840 kHz.

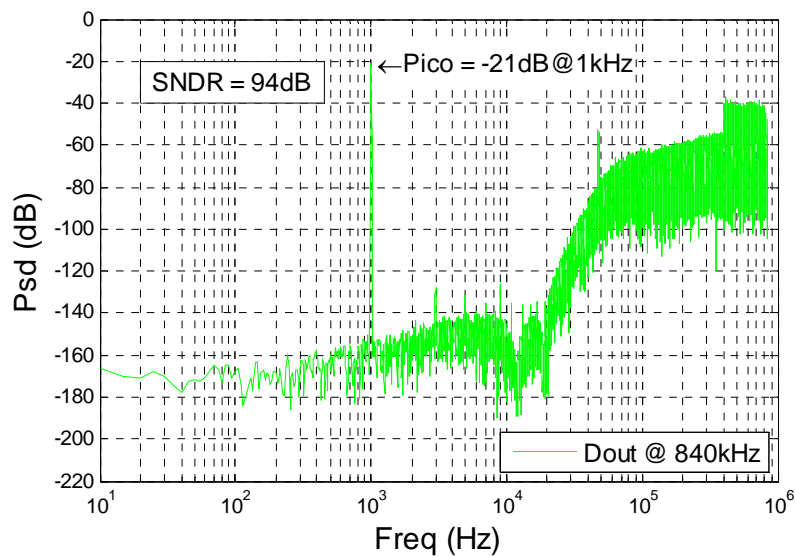


Figura 6.2: Espectro de frequência da simulação com o modulador a 1 bit.

Na arquitetura com ressoadores, o segundo tem influência direta no aumento da distorção devido ao zero situar-se numa frequência mais elevada. Tendo em conta este fator, ao remover o segundo ressoador, o ruído na banda a partir dos 16 kHz piora, como ilustrado no gráfico da Figura 6.3, mas a distorção na banda dos 2 kHz aos 5 kHz melhora em cerca de 17 dB, sendo esta característica mais favorável tendo em conta a sensibilidade do ouvido humano, tendo por base a norma do filtro de áudio ISO 226: revisão 2003 (McMinn, 2013).

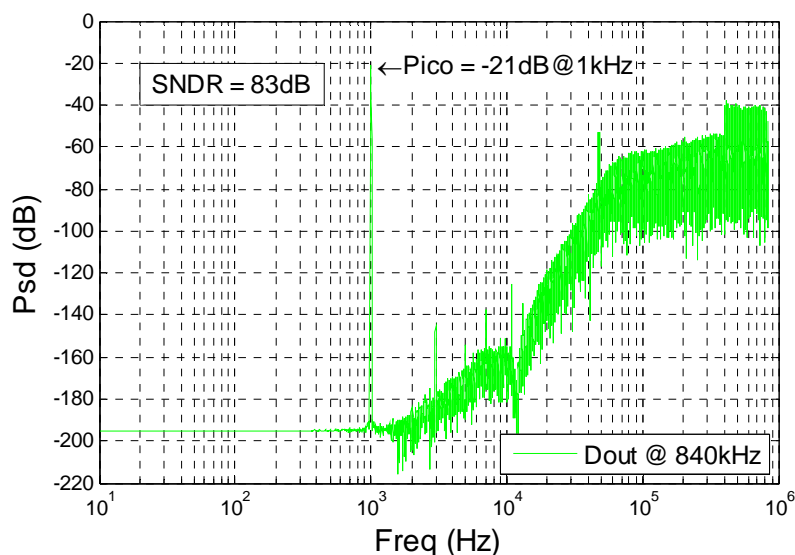


Figura 6.3: Espectro de frequência da simulação.

Para a análise da densidade espectral à saída do modulador $\Sigma\Delta$ é efetuada a captura digital pelo osciloscópio dos sinais do relógio do modulador $\Sigma\Delta$, assim como a saída a 1

Avaliação experimental do sistema

bit, utilizando um nível de comparação de metade da tensão dos sinais para definir o valor lógico 1 ou 0. Ao transferir estes dados para o computador é verificado quando se dá o flanco ascendente do sinal de relógio e é adquirido o valor lógico no mesmo instante mas da saída do modulador para posteriormente ser estudada a análise espectral. De notar que este processo apenas permite a análise com a arquitetura de quantização de 1 bit.

A densidade espectral representada na Figura 6.4 foi obtida através da saída do modulador $\Sigma\Delta$ com a aquisição de cerca de 0.5 segundos. As diferenças regem-se principalmente na distorção harmónica, possivelmente devido a algum arredondamento na criação da senoide através do sistema utilizado, mas ao nível da SNDR, esta revela o mesmo valor da simulação de 83 dB.

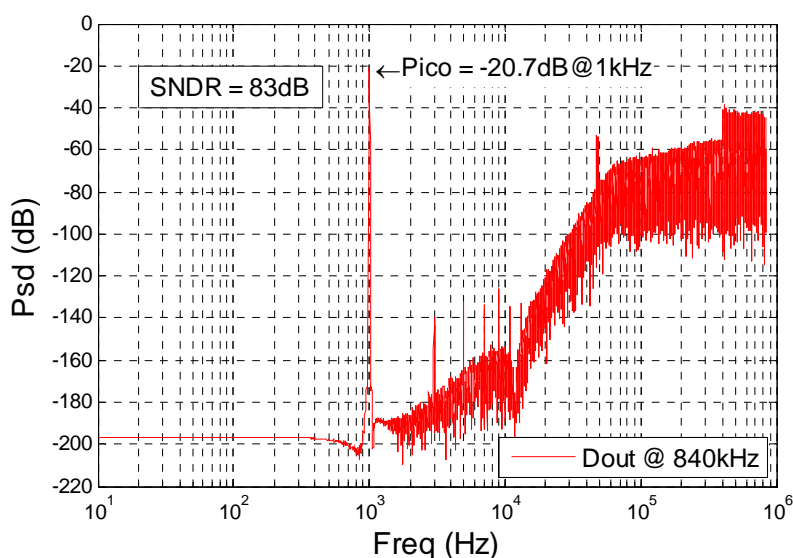


Figura 6.4: Espectro de frequência na saída do modulador $\Sigma\Delta$ com a quantização de 1 bit, com um ressoador efetuada a partir de medições digitais (403199 pontos, janela: Blackman-Harris).

Para validar a implementação com os dois ressoadores, o espectro de frequência respetivo encontra-se na Figura 6.5, possuindo este além de pior distorção associada à terceira harmónica, uma SNDR de 94dB. Com esta análise, poderia pensar-se que a arquitetura com dois ressoadores seria evidentemente melhor, mas devido à resposta do ser humano sofrer variações consoante a frequência, este fator será analisado consoante uma aproximação mais realista, fornecida pela norma ISO 226.

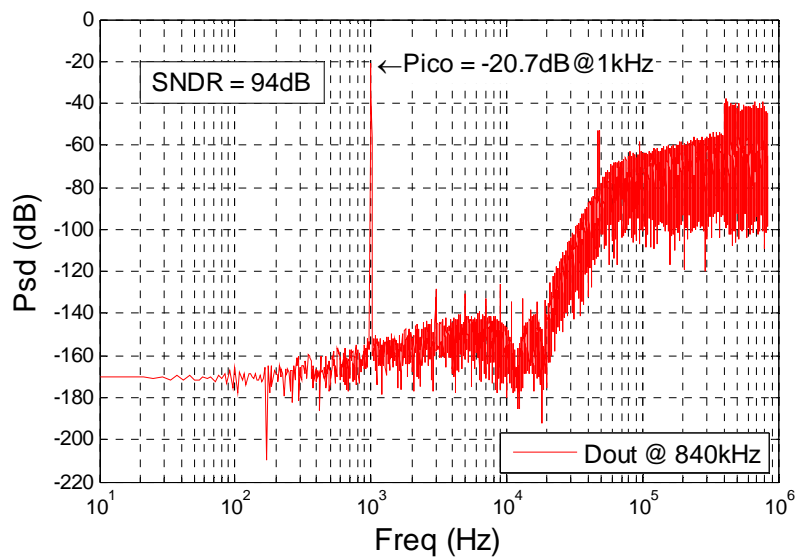


Figura 6.5: Espectro de frequência na saída do modulador $\Sigma\Delta$ com a quantização de 1 bit, com dois ressoadores efetuada a partir de medições digitais (403200 pontos, janela: Blackman-Harris).

Para efetuar uma análise mais realista à percepção de áudio pelo ouvido humano é aplicado o filtro considerado pela norma ISO 226, baseado em (“ISO 226 Equal-Loudness-Level Contour Signal - File Exchange - MATLAB Central,” 2005), representado na Figura 6.6, e comparando respectivamente as arquiteturas com um e dois ressoadores, representadas na Figura 6.7 e Figura 6.8, respectivamente. É notável que a distorção possui mais influência devido a uma maior sensibilidade do ouvido humano entre 2 kHz e 5 kHz, pelo que a considerada melhor arquitetura nesta comparação é evidentemente a de um ressoador, com uma SNDR de 106 dB, enquanto a de dois ressoadores possui uma SNDR de 95 dB, tendo em consideração a norma ISO 226.

Avaliação experimental do sistema

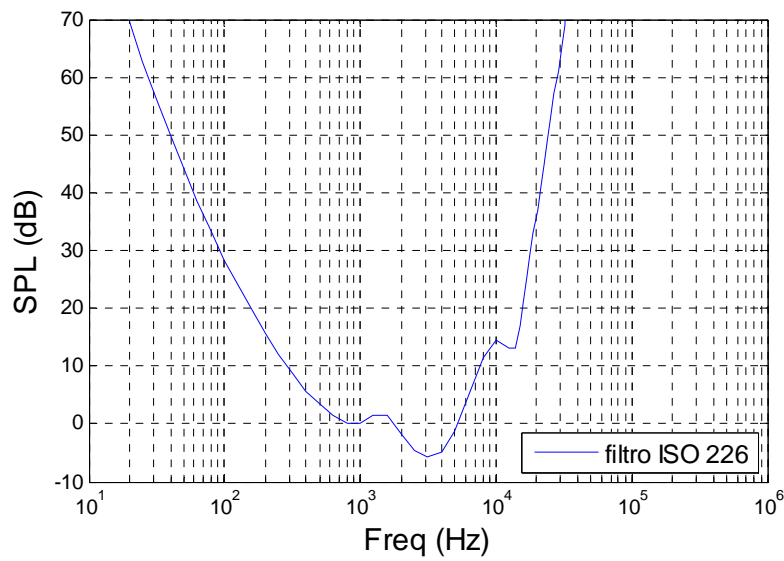


Figura 6.6: Norma representativa de níveis de intensidade equivalentes consoante a frequência para o ser humano.

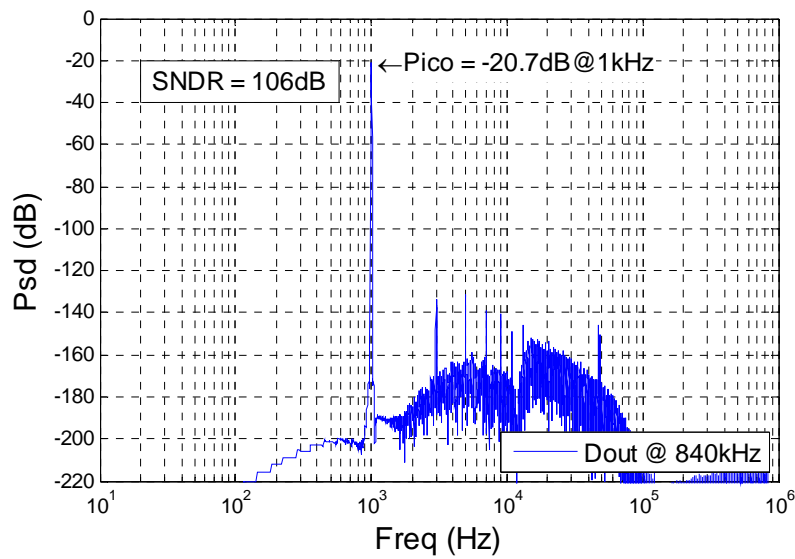


Figura 6.7: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit, com um ressonador efetuada a partir de medições digitais com a função transferência do filtro ISO 226 (403199 pontos, janela: Blackman-Harris).

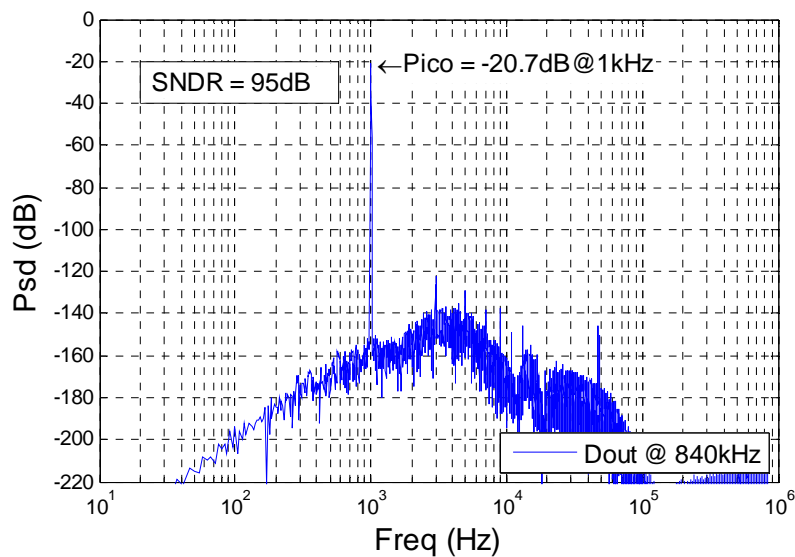


Figura 6.8: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit, com dois ressoadores efetuada a partir de medições digitais com a função transferência do filtro ISO 226 (403200 pontos, janela: Blackman-Harris).

6.2 Avaliação experimental do amplificador classe D

Na análise do sinal na saída do amplificador digital, através do Audio Precision, ATS-2, foram utilizados 2^{15} pontos a 4 médias, com a janela de filtro *Blackman-Harris*.

Na Figura 6.9 está representada a densidade espectral da tensão na saída do amplificador com a carga de 8 Ohm ligada, na qual é notável que embora o ruído de quantização a nível digital suba a partir dos 16 kHz (Figura 6.4), este não é perceptível na saída do amplificador digital devido ao ruído base gerado pelo andar de saída juntamente com o filtro LC situar-se num patamar superior. É perceptível uma pequena subida do nível de ruído a partir dos 20 kHz, pouco relevante por encontrar-se fora da banda de interesse.

Avaliação experimental do sistema

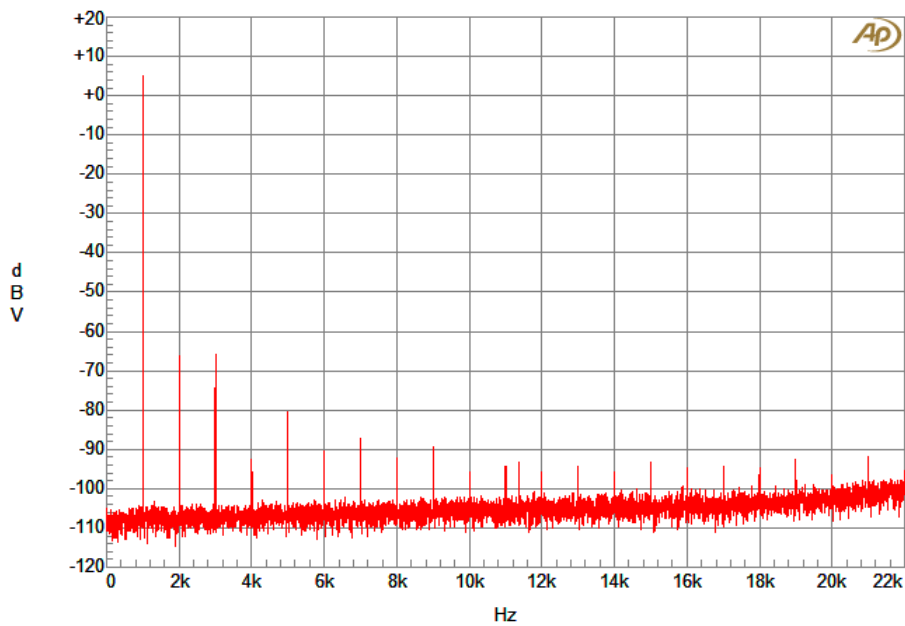


Figura 6.9: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit, com um ressonador (Frequência: 1kHz; Amplitude: 100%).

A SNR e SNDR das consideradas melhores arquiteturas estão ilustradas na Figura 6.10. As imagens relativas à densidade espectral de tensão de para cada amplitude do sinal de entrada podem ser consultadas no Anexo da Figura A.4 à Figura A.41.

A gama dinâmica (DR) é cerca de 75 dB com a quantização de 1 bit, e 65 dB com a quantização 1+ bit, assim como a SNR é de 73 e de 62 dB para as quantizações de 1 e 1+ bit, respectivamente.

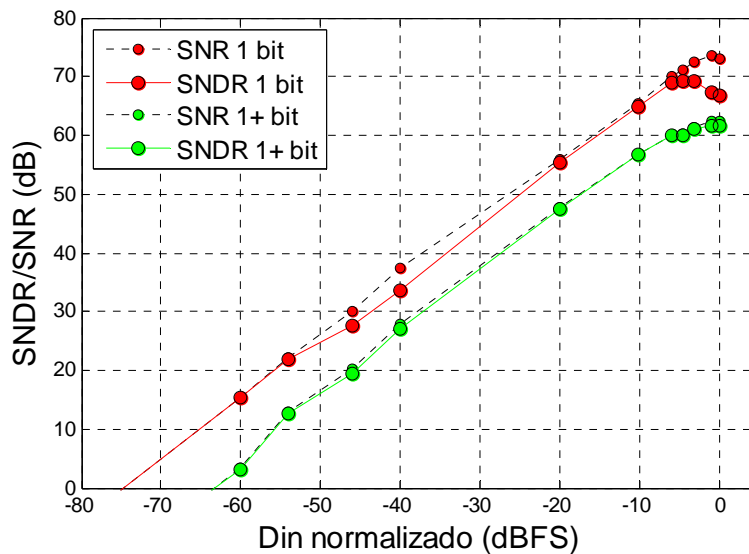


Figura 6.10: SNDR/SNR em função da Amplitude da entrada Din calculado através dos dados obtidos no Audio Precision na saída de um canal do amplificador digital (Frequência: 1kHz).

Com a arquitetura 1+ bit, devido à quantização do nível zero, a tensão na alimentação da *H-bridge* sofre variações devido à constante passagem e bloqueio da corrente, o que se traduz num nível de ruído de base superior, e consequentemente a diminuição da SNDR. Esta situação pode ser analisada na Figura 6.11.

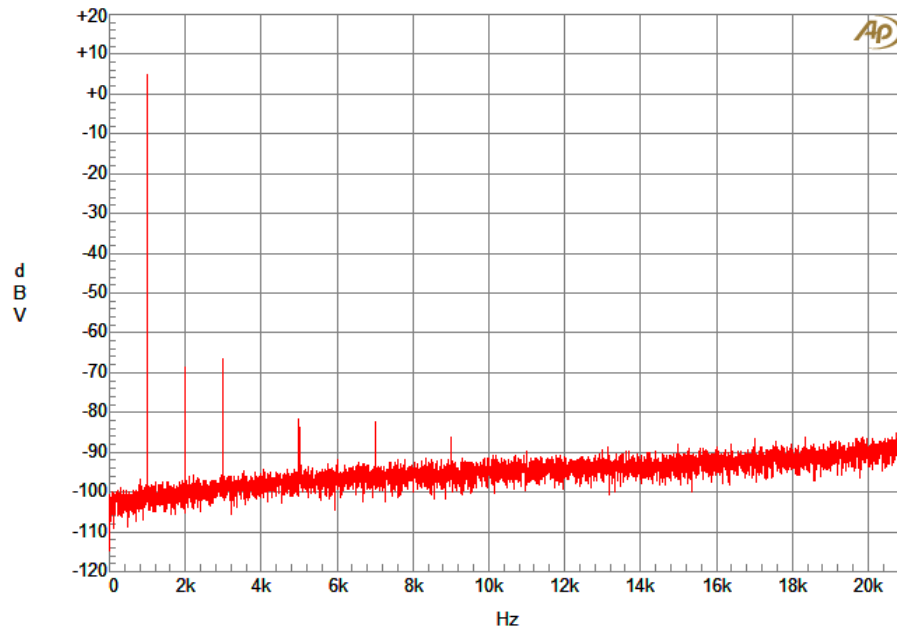


Figura 6.11: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit, com um ressonador (Frequência: 1kHz; Amplitude: 100%).

No que diz respeito à distorção harmónica total (THD), esta está representada para as frequências de 0.5, 1 e 3 kHz, na Figura 6.12 com três amplitudes diferentes.

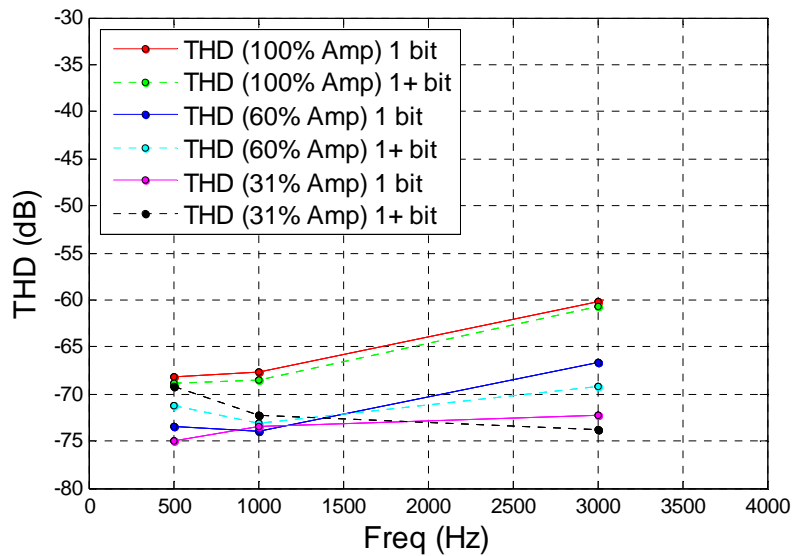


Figura 6.12: THD em função da frequência para três amplitudes calculada através dos dados obtidos no Audio Precision.

6.3 Rendimento

As medições do rendimento incidiram sobre as consideradas duas melhores arquiteturas, além de analisar o possível aumento do tempo *nonoverlap*, pois este está associado a perdas quando é muito reduzido, devido às transições não ideais dos transístores da *H-bridge*. Nas medições foi aplicada uma resistência de 1 *Ohm* na entrada do amplificador digital, e conseqüentemente foi analisada a corrente de entrada por intermédio da lei de *Ohm* através da tensão da resistência. Posteriormente, a tensão na fonte de alimentação era ajustada de modo a obter os 5 V no amplificador digital com qualquer amplitude do sinal imposto. A carga foi medida através do método *4-terminal sensing* devido a ser um valor relativamente reduzido, para possibilitar uma leitura mais assertiva do valor real.

Nas perdas são contabilizadas a dissipação no módulo *Gate Driver*, nos transístores de saída, e no filtro de saída, sendo o rendimento calculado pela (Eq 6.1).

$$\eta = \frac{P_{Carga}}{P_{Carga} + P_{Diss}} \quad (\text{Eq 6.1})$$

Na Figura 6.13 é observada a curva do rendimento para diferentes amplitudes do sinal de entrada.

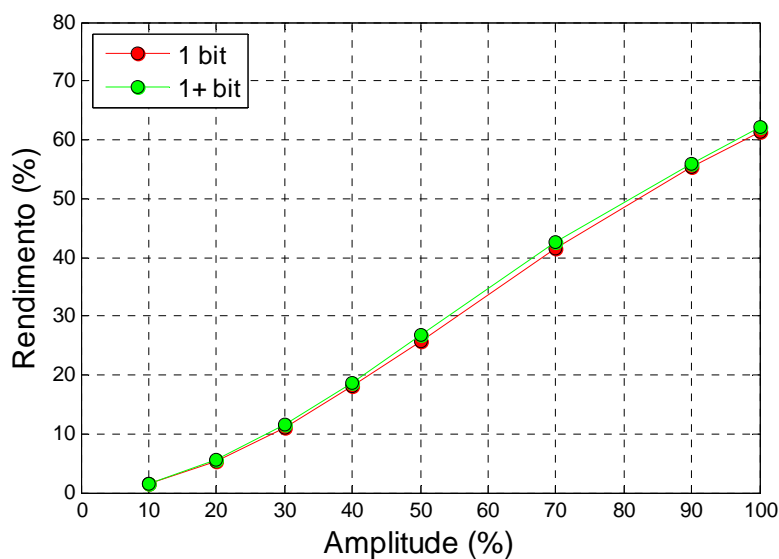


Figura 6.13: Comparação do rendimento com as quantizações de 1 e 1+ bit, com o *nonoverlap* de 18ns.

A utilização de um tempo curto no *nonoverlap* melhora a distorção na saída do amplificador, mas implica mais perdas energéticas devido à transição do transístor complementar da *H-bridge* não estar completa, e conseqüentemente fluir alguma corrente sem passar pela carga.

Ao aumentar o tempo de *nonoverlap* para 30 ns o rendimento melhora, como demonstrado na Figura 6.14.

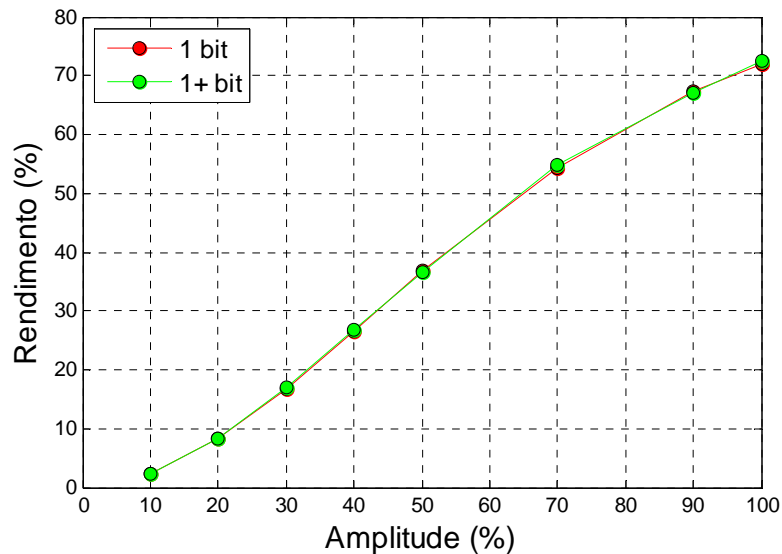


Figura 6.14: Comparação do rendimento com as quantizações de 1 e 1+ bit, com o *nonoverlap* de 30ns.

A eficiência pode ser melhorada ao ajustar os coeficientes do modulador de modo a aumentar a amplitude na saída, pois com a alimentação de 5V, a tensão pico a pico na carga é de 5V (teoricamente $2 \cdot V_{DD} = 10V$), como indicado na Figura 6.15, mas este procedimento pode causar maior distorção ou problemas de estabilidade.

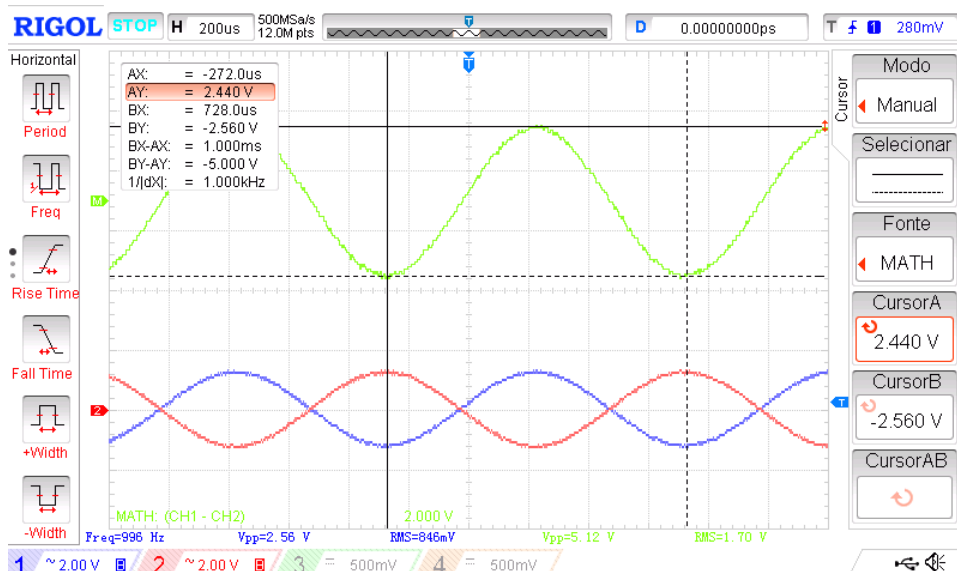


Figura 6.15: Saída de um canal do Amplificador Digital com a alimentação de 5V e amplitude do sinal de entrada a 100%). Ch1: Saída positiva (AC). Ch2: Saída negativa (AC). M: Diferença Ch1 - Ch2 ou tensão na carga.

6.1 Avaliação acústica do amplificador classe D

Nesta secção pretende-se fazer uma análise do ponto de vista acústico do altifalante gravado por um microfone de estúdio profissional, de referência *Neumann TLM 49*, cuja resposta em frequência pode ser encontrada na Figura 6.16

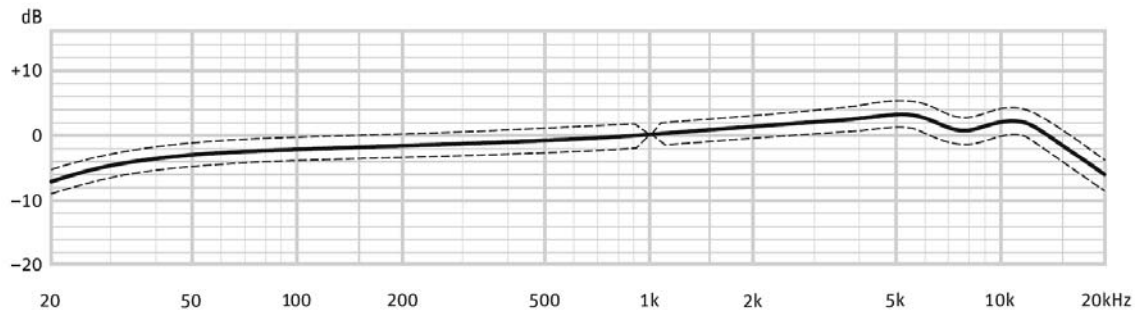


Figura 6.16: Resposta em frequência do microfone Neumann TLM49 (“Neumann TLM 49,” 2014).

As gravações foram feitas a uma distância de um metro da fonte sonora, com uma taxa de amostragem de 96 kHz a 24 bit por amostra. Cada gravação teve a duração de 24 segundos.

Nos acertos anteriores às gravações foram ajustados os níveis de amplificação do microfone no equipamento *UAD Apollo* (“UAD Apollo,” 2014) para ao reproduzir diferentes frequências não haver saturação e conseqüente perda de dados no sinal gravado. O *Altifalante Digital* foi alimentado a uma tensão de 5 V , enquanto no Altifalante de comparação foi ajustada a amplificação de modo a coincidir com a mesma potência do sinal a 1 kHz , sendo esta frequência normalmente utilizada para este efeito.

Na Figura 6.17 está representado o altifalante Focal CMS 65 a fim de comparar posteriormente os resultados das medições respetivos a cada equipamento.



Figura 6.17: Altifalante profissional comparado (Focal CMS 65).

A disposição de cada equipamento teve em consideração possíveis reflexões dos sinais sonoros, assim como a tentativa de atenuar o ruído causado pelo computador, não podendo este ser completamente evitado. A configuração no estúdio pode ser encontrada na Figura 6.18.



Figura 6.18: Disposição dos altifalantes no estúdio para as gravações acústicas.

De seguida é representado na Figura 6.19 o nível de ruído base do microfone, sem qualquer sinal sonoro, apenas considerando o ruído base do computador, pois foi necessário incorporá-lo no mesmo espaço partilhado pelo altifalante digital, assim como algumas interferências externas, como a rede elétrica, luzes e transformadores, ou mesmo o ruído gerado pelo microfone ou o amplificador deste.

Avaliação experimental do sistema

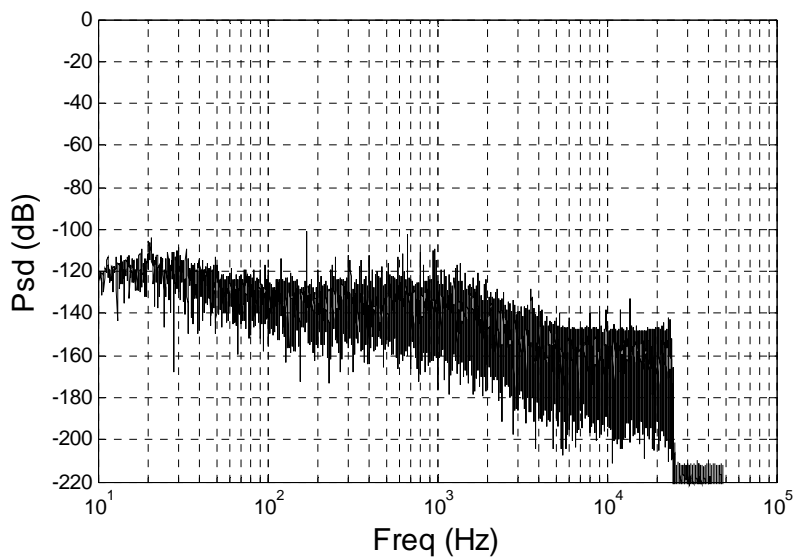


Figura 6.19: Ruído base no ambiente de gravação.

Para possibilitar uma comparação com o sistema de estúdio foram criadas as sinusoide de 16 *bit* a 48 *kHz* convertida para formato *.WAV* para possibilitar a reprodução equivalente em cada um dos sistemas.

Na gravação por vezes era notório o ruído gerado pelo computador, pelo que para a contabilização da SNDR foi apenas incluída a banda entre os 50 *Hz* e os 20 *kHz*.

Desde a Figura 6.20 à Figura 6.28 estão referenciados os gráficos comparativos com cada sistema, na qual foram aplicadas frequências de 1 *kHz*, 0.5 *kHz* e 3 *kHz*, desde o volume a 100, a 60, e a 31%.

A uma sinusoide de 1 *kHz* os resultados obtidos da SNRD são semelhantes, mas no teste com 0.5 *kHz* o altifalante de estúdio possui alguma atenuação na amplitude da fundamental, e uma grande distorção, enquanto o altifalante projetado possui resultados significativamente melhores, geralmente mais 20 *dB* em todas as amplitudes de entrada a 0.5 *kHz*.

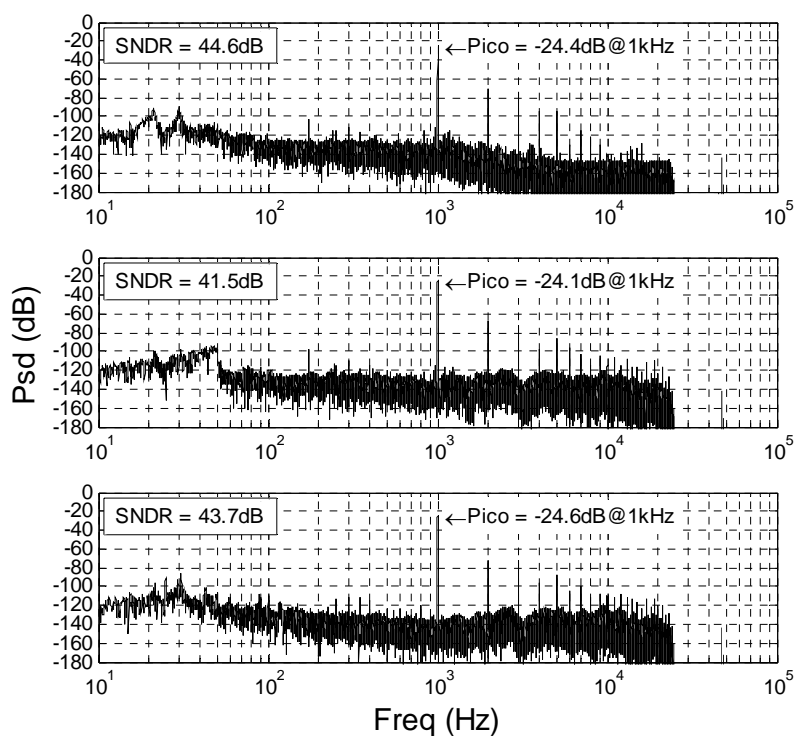


Figura 6.20: Comparação do espectro de frequência com sinal de entrada de 1 kHz a 100%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

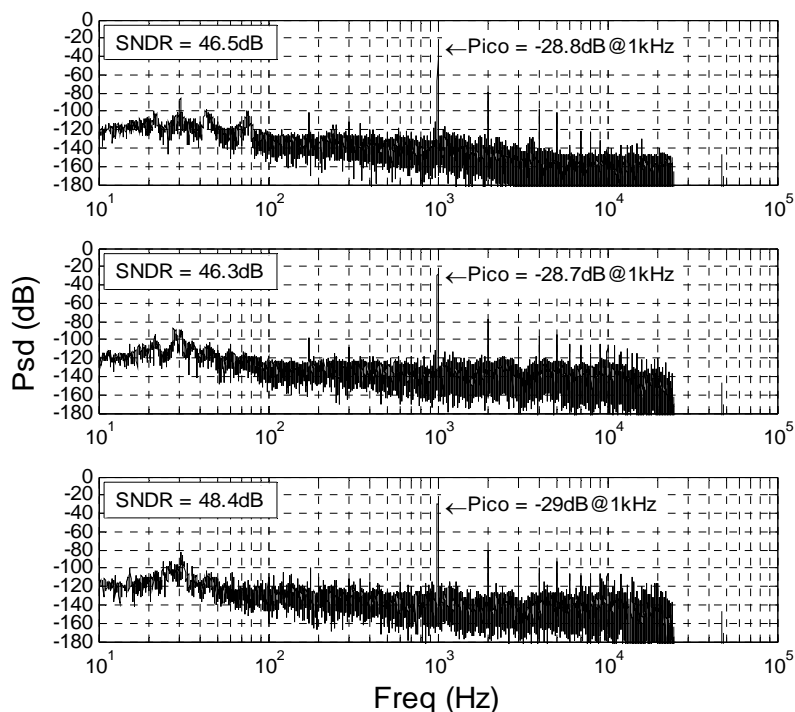


Figura 6.21: Comparação do espectro de frequência com sinal de entrada de 1 kHz a 60%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

Avaliação experimental do sistema

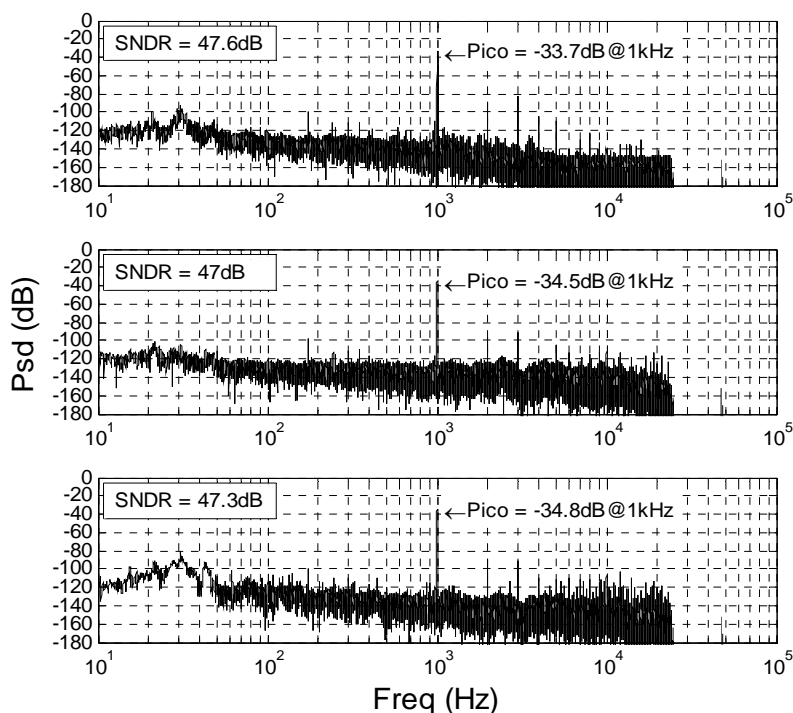


Figura 6.22: Comparação do espectro de frequência com sinal de entrada de 1 kHz a 31%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

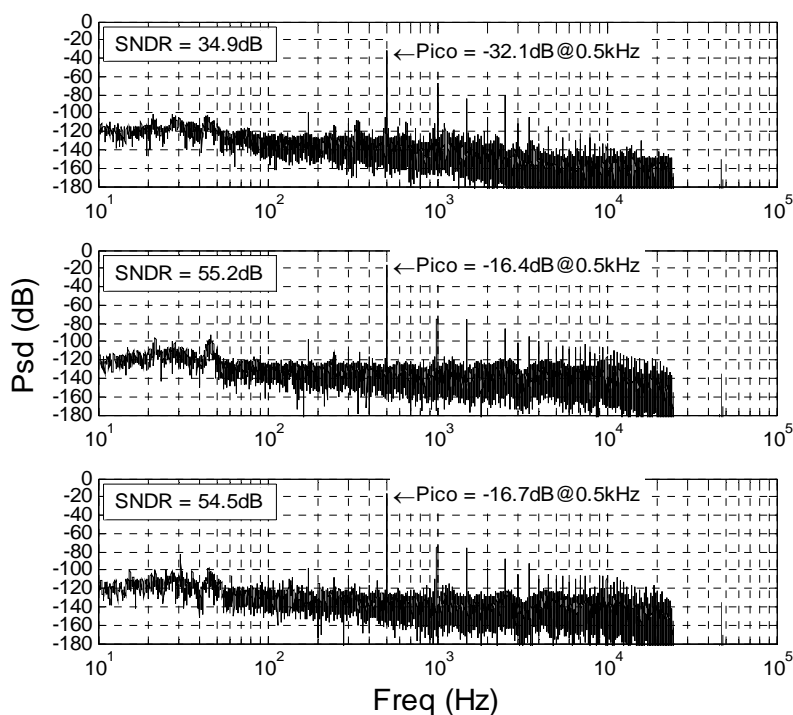


Figura 6.23: Comparação do espectro de frequência com sinal de entrada de 0.5 kHz a 100%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

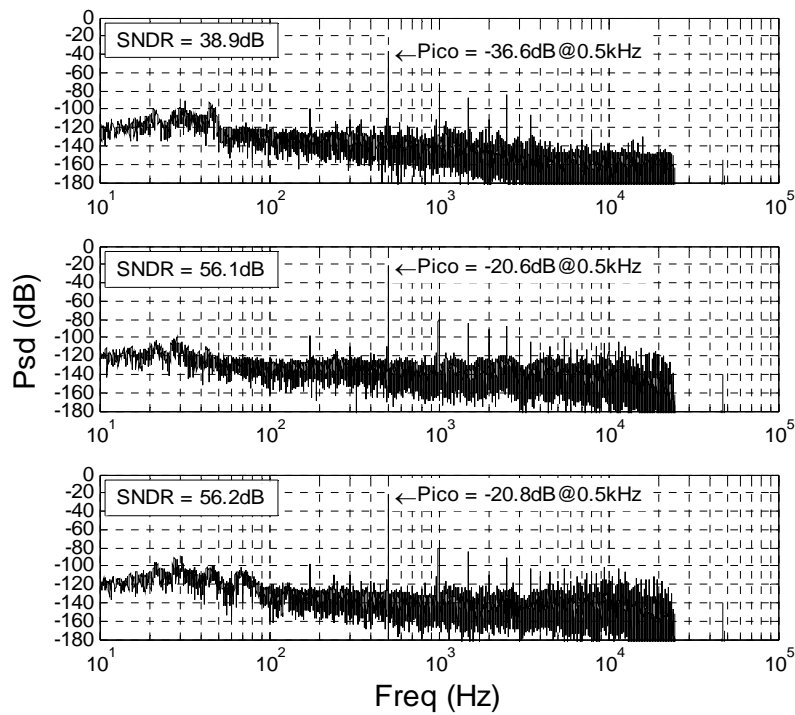


Figura 6.24: Comparação do espectro de frequência com sinal de entrada de 0.5 kHz a 60%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

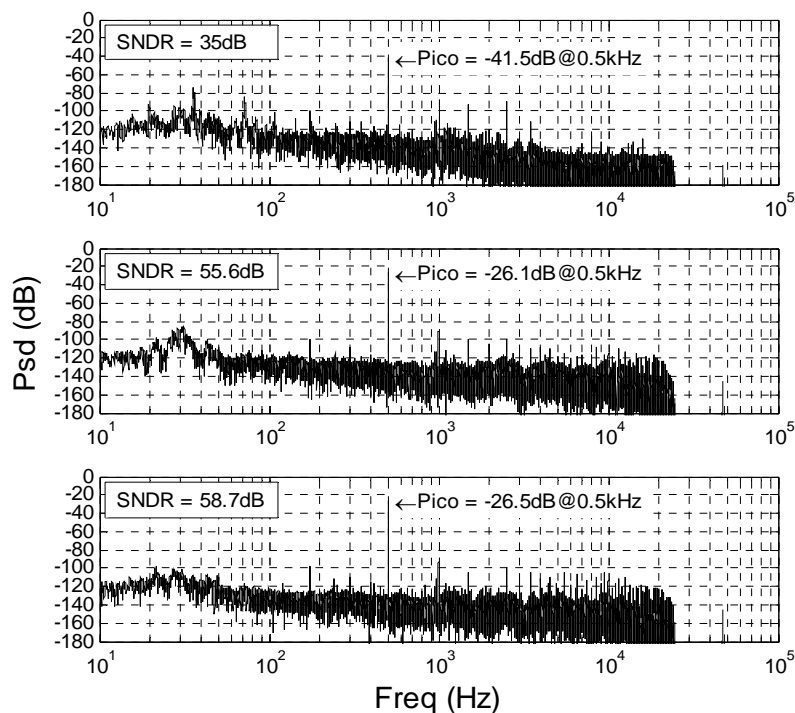


Figura 6.25: Comparação do espectro de frequência com sinal de entrada de 0.5 kHz a 31%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

Avaliação experimental do sistema

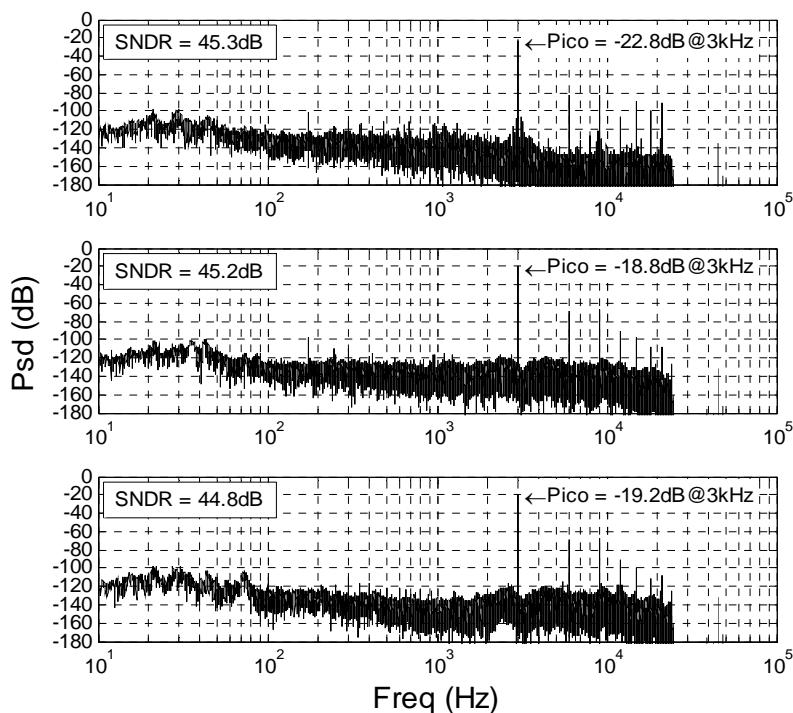


Figura 6.26: Comparação do espectro de frequência com sinal de entrada de 3 kHz a 100%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

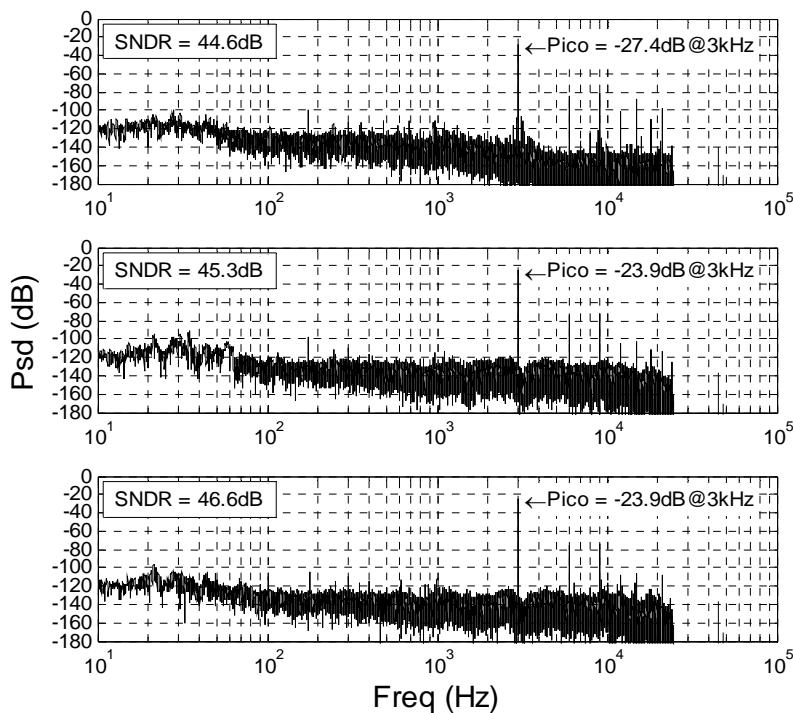


Figura 6.27: Comparação do espectro de frequência com sinal de entrada de 3 kHz a 60%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

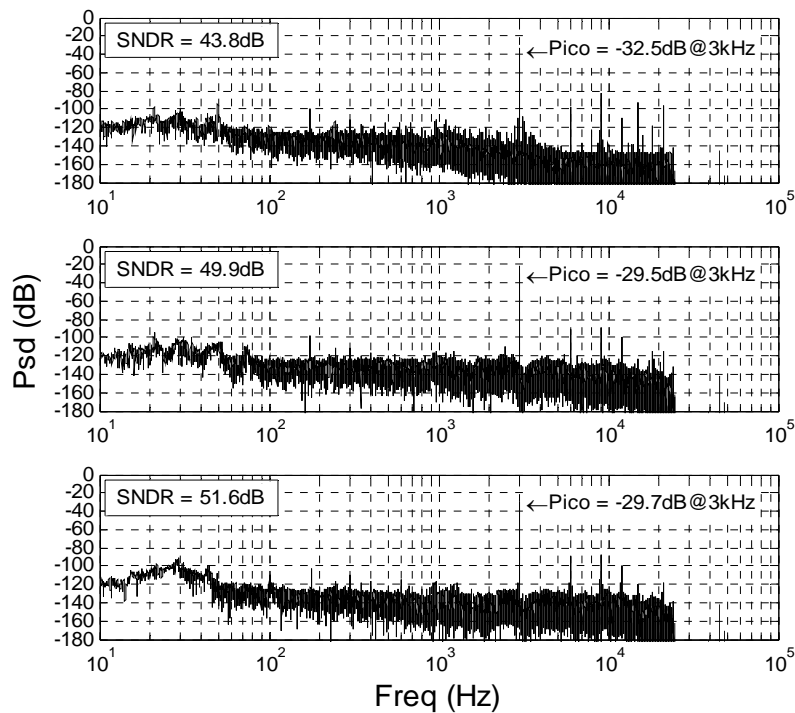


Figura 6.28: Comparação do espectro de frequência com sinal de entrada de 3 kHz a 31%. Cima: Altifalante Estúdio. Meio: Altifalante Digital com a arquitetura de 5ª ordem com quantização 1+ bit. Baixo: Altifalante digital com arquitetura de 5ª ordem com quantização 1 bit.

Na análise comparativa dos gráficos é perceptível uma melhoria significativa na frequência de 0.5 kHz, embora o altifalante possua maior ganho, e em contrapartida o altifalante de estúdio possui maior atenuação nesta mesma frequência, estando representado na Figura 6.29 a potência do sinal em função das três frequências testadas.

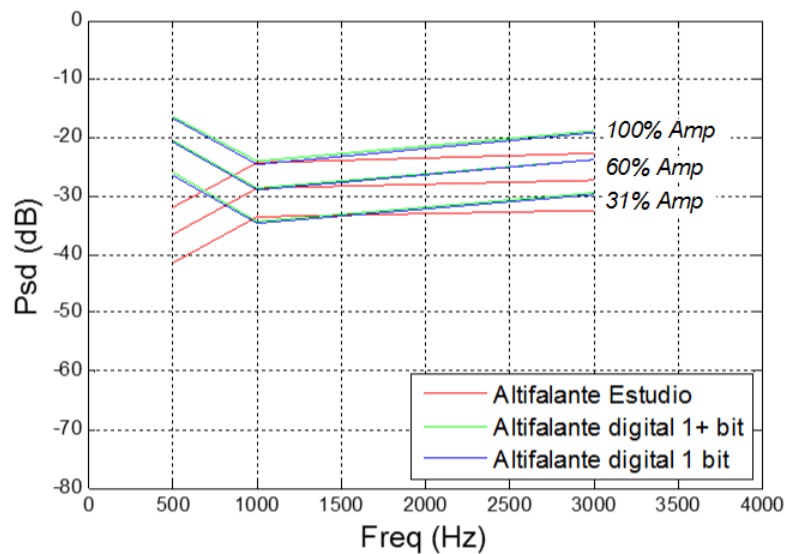


Figura 6.29: Potência do sinal considerando o ganho unitário na resposta em frequência do microfone (Amplitude do sinal de 100, 60, e 31 % de cima para baixo, respetivamente).

Avaliação experimental do sistema

Esta análise reflete uma variação significativa do ganho do altifalante com a frequência, embora o sistema utilizado para efetuar as medições não esteja calibrado, podendo possuir um erro de até 4 dB, devido à variação que o microfone possui na sua resposta em frequência, na Figura 6.16.

6.2 Análise geral

A análise dos custos está associada a uma aproximação do valor do material associado a este projeto, não estando incluído a mão-de-obra necessária para a sua produção, entre outros fatores como testes.

A pesquisa teve por base uma quantidade de 1000 unidades, podendo existir alterações nos preços desde a data da pesquisa.

Na Tabela 6.1 encontram-se os preços aproximados de cada módulo.

Tabela 6.1: Custo dos módulos.

Módulo	Tamanho (cm) (comp × larg × alt)	Preço Unid. (€)
DSP	12 × 8	48
Amplificador Digital	27 × 7.5	29
Altifalante*	49 × 12 × 49	44
	Total	121

* Preço referenciado a uma unidade

Ao analisar os preços dos sistemas de áudio com grande qualidade, estes podem rondar alguns milhares de euros. Este projeto, ainda que não completo no sentido da necessidade de melhorar a resposta em frequência dos altifalantes, assim como implementar um filtro de interpolação na entrada do modulador serem fatores importantes, pode ser um sistema alternativo devido a possuir baixos níveis de distorção, com a possibilidade de adaptar a diferentes amplificadores digitais através de uma reprogramação do sistema, assim como melhorar a arquitetura do modulador no caso de surgirem melhores alternativas.



7 Conclusão

A utilização de metodologias completamente digitais ao nível do áudio está constantemente a possibilitar melhorar a relação de custo/qualidade, devido à possibilidade de processar mais informação, a custos mais reduzidos. Os sistemas analógicos estes possuem geralmente maior permanência ao nível do mercado devido à evolução tecnológica não refletir um desenvolvimento tão grande, comparativamente com o nível digital. Com isto, a possibilidade da tecnologia construir componentes mais densos ao nível dos transístores, vem a possibilidade de adaptar o sistema periodicamente à evolução tecnológica.

Ao nível do utilizador, um sistema de áudio capaz de se adaptar às suas necessidades, possuindo este mais flexibilidade e controlabilidade através de interfaces é, sem dúvida, uma mais-valia, comparativamente aos sistemas tradicionais. A digitalização completa possibilita imunidade a algumas interferências externas ao circuito, o que possibilita as perdas mínimas dos dados originais. Este possui também grandes vantagens ao nível de possíveis atualizações de melhorias associadas ao *software* interno. No funcionamento está associada uma característica de resultados muito idêntica, desde funcionar com baixas ou elevadas temperaturas, ou mesmo a função transferência permanecer inalterável durante anos e anos, ou seja, a modulação do sigma delta efetuada em anos diferentes permanece inalterável relativamente ao mesmo sinal de entrada.

O amplificador digital deve ser dimensionado de modo a preencher os requisitos pretendidos, como as principais prioridades estarem associadas ao rendimento, à distorção e à potência pretendida. O sistema pode ser facilmente adaptável a dimensionamentos de amplificadores digitais de maiores potências, dependendo da aplicação pretendida.

A caixa acústica foi elaborada devido à necessidade de incorporar os 4 canais, utilizando poucos recursos.

7.1 Trabalho Futuro

Depois de todas as bases adquiridas nesta dissertação deve ser implementado um filtro de interpolação adequado na entrada de modo a atenuar as imagens do sinal de entrada em torno da frequência de amostragem, o que possibilita adicionalmente menos energia desperdiçada na carga, devido a encontrar-se fora da banda audível. O modulador deve ser adaptado de modo a possibilitar as menores perdas no amplificador digital, pelo que a implementação de um sigma delta de ordem superior, juntamente com técnicas para possibilitar menor distorção, terá benefícios de reduzir a frequência no amplificador digital, o que melhora a distorção introduzida pelo amplificador.

Os altifalantes por natureza não são lineares, principalmente quando se encontram numa zona próxima da tensão nominal, pelo que a utilização da arquitetura representada na Figura 7.1 poderá fornecer algumas vantagens, tornando cada um dos quatro canais completamente independentes. Esta modificação necessita de cuidados na projeção do módulo Dynamic Element Matching (DEM), pois a variação dos coeficientes dos sigma-delta poderá levar à instabilidade. Com esta implementação espera-se como resultado final um aumento de linearidade pois, por hipótese, os moduladores sigma-delta representam em dada altura um valor dentro da banda de frequência do sinal de entrada como a média de amostras a uma frequência mais elevada. A Tabela 7.1 refere dois exemplos de saída do modulador, tendo como sinal de entrada D_{in} , e admitindo a média do sinal D_{out} dentro da banda do sinal.

Tabela 7.1: Hipótese com os quatro moduladores desbalanceados.

D_{in}	D_{out} ΣΔM 1	D_{out} ΣΔM 2	D_{out} ΣΔM 3	D_{out} ΣΔM 4	Media final	Erro (%)
0.45	0.43	0.47	0.46	0.46	0.455	1.1
0.52	0.51	0.50	0.54	0.52	0.5175	0.5

A média final é uma representação de uma medição a nível acústico na saída dos altifalantes.

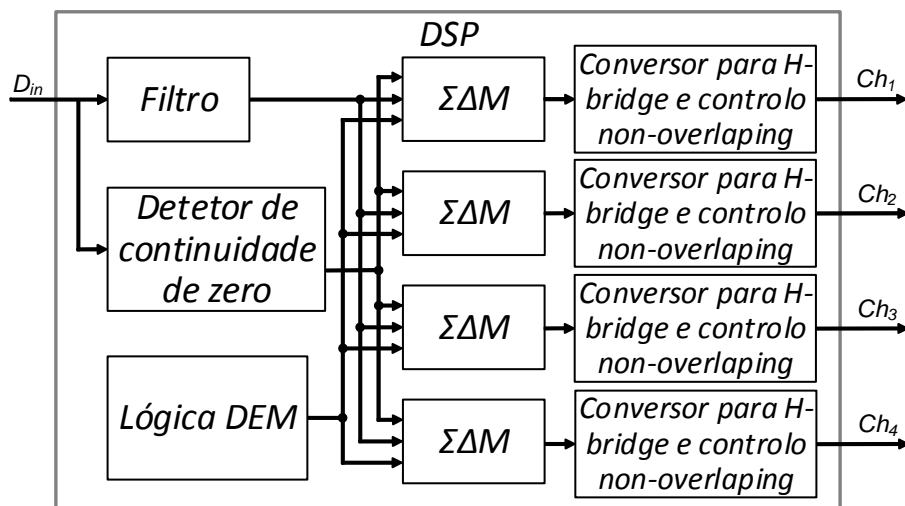


Figura 7.1: Arquitetura com 4 moduladores sigma-delta independentes.

Este módulo poderá ter por base a implementação já efetuada nas simulações dos moduladores de 3.5 *bit* em que se utilizava a memória para armazenar os pesos pretendidos e os contadores aleatórios associados aos endereços.

Ao nível do amplificador, o objetivo principal é ouvir áudio com o máximo de gama dinâmica ao volume pretendido pelo utilizador, pelo que ao invés de ajustar a tensão da alimentação manualmente por intermédio de um potenciómetro, a implementação através de um controlo digital pela interface do utilizador possibilita transmitir toda a informação dos 16 *bit*, enquanto se limita a potência no amplificador digital, o que possibilita melhor rendimento ao ajustar diretamente a tensão, do que limitar os dados de entrada como fator de atenuação do volume. Esta alteração permite utilizar o máximo da gama dinâmica do sistema.

A nível acústico é possível melhorar com o estudo aprofundado do material mais adequado, estando incluído os altifalantes, a matéria-prima utilizada na caixa acústica, pois para reproduzir uma resposta mais linear em frequência é necessário proceder à análise detalhada, e a conjugação de cada elemento. Pode adicionalmente ser implementada uma equalização no sinal de modo a melhorar algumas imperfeições associadas à construção física deste transdutor.

Anexo

Definições

$$SNR = \frac{P_S}{P_N}$$

$$SNR_{dB} = 10 \log_{10}(SNR)$$

$$SNDR = \frac{P_S}{P_{N+D}} = \frac{1}{THD + N}$$

$$SNDR_{dB} = 10 \log_{10}(SNDR)$$

$$THD = \frac{P_D}{P_S}$$

$$THD_{\%} = THD \times 100$$

$$THD_{dB} = 10 \log_{10}(THD)$$

$$THD = 10^{\frac{THD_{dB}}{10}}$$

$$THD + N = \frac{P_{D+N}}{P_S} = \frac{1}{SNDR}$$

$$THD + N_{\%} = (THD + N) \times 100$$

$$THD + N_{dB} = 10 \log_{10}(THD + N)$$

P_S – Potência do sinal

P_N – Potência do ruído

Anexo

P_D – Potência das harmônicas dentro da banda ou Potência de distorção

P_{N+D} – Potência do ruído e distorção

Resultados adicionais

Gráficos extraídos do Audio Precision

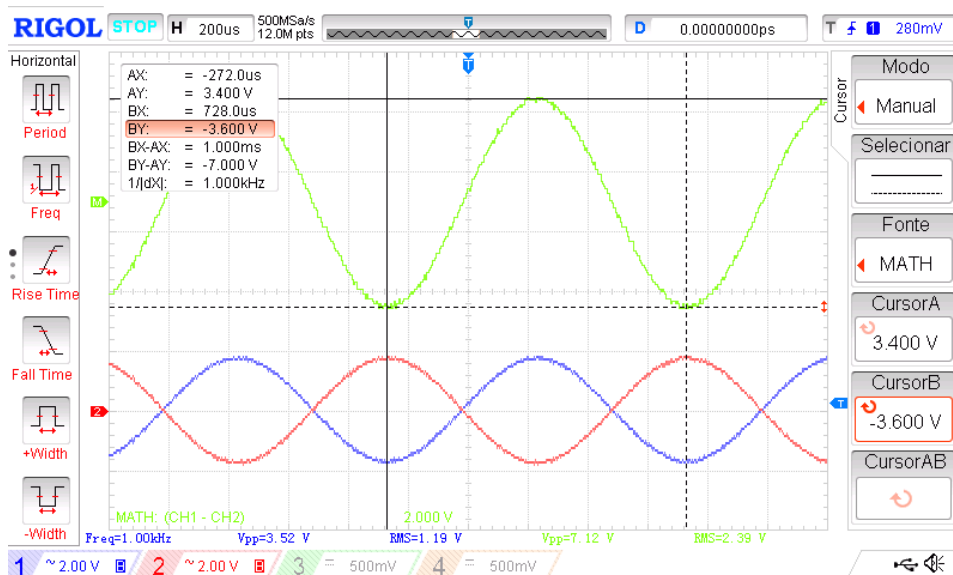


Figura A.1: Saída de um canal do Amplificador Digital com a alimentação de 7V e amplitude do sinal de entrada a 100%). Ch1: Saída positiva. Ch2: Saída negativa. M: Diferença Ch1 - Ch2 ou tensão na carga.

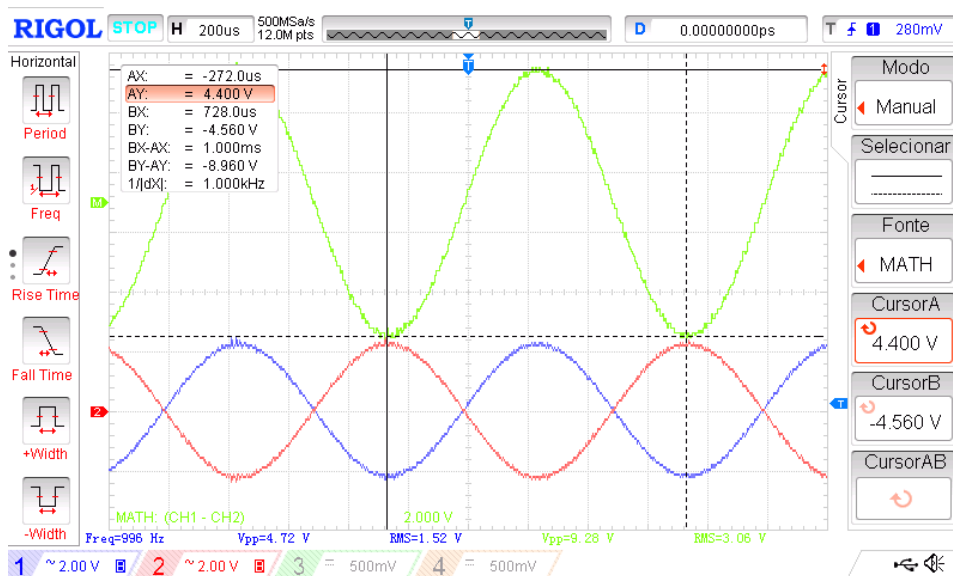


Figura A.2: Saída de um canal do Amplificador Digital com a alimentação de 9V e amplitude do sinal de entrada a 100%). Ch1: Saída positiva. Ch2: Saída negativa. M: Diferença Ch1 - Ch2 ou tensão na carga.

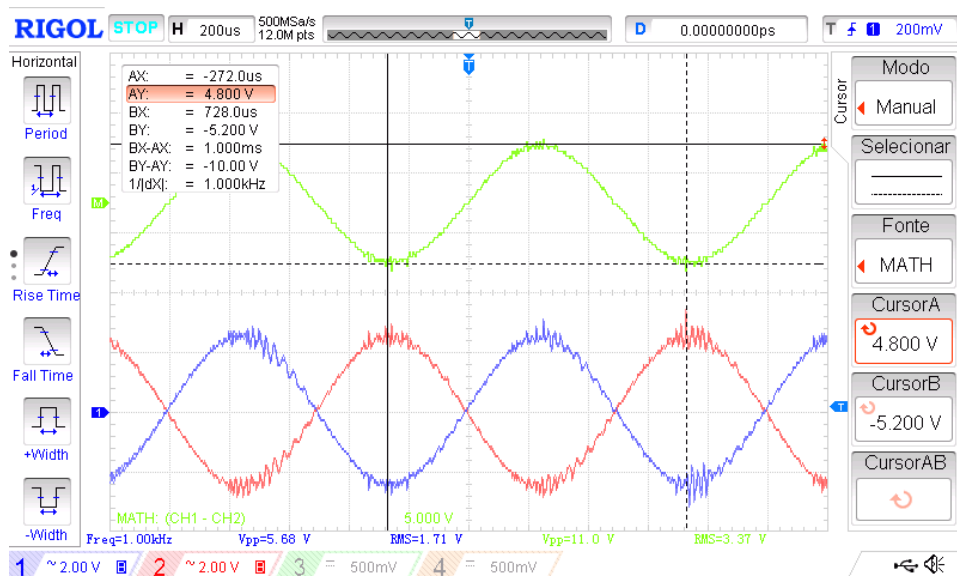


Figura A.3: Saída de um canal do Amplificador Digital com a alimentação de 10V e amplitude do sinal de entrada a 100%). Ch1: Saída positiva. Ch2: Saída negativa. M: Diferença Ch1 - Ch2 ou tensão na carga.

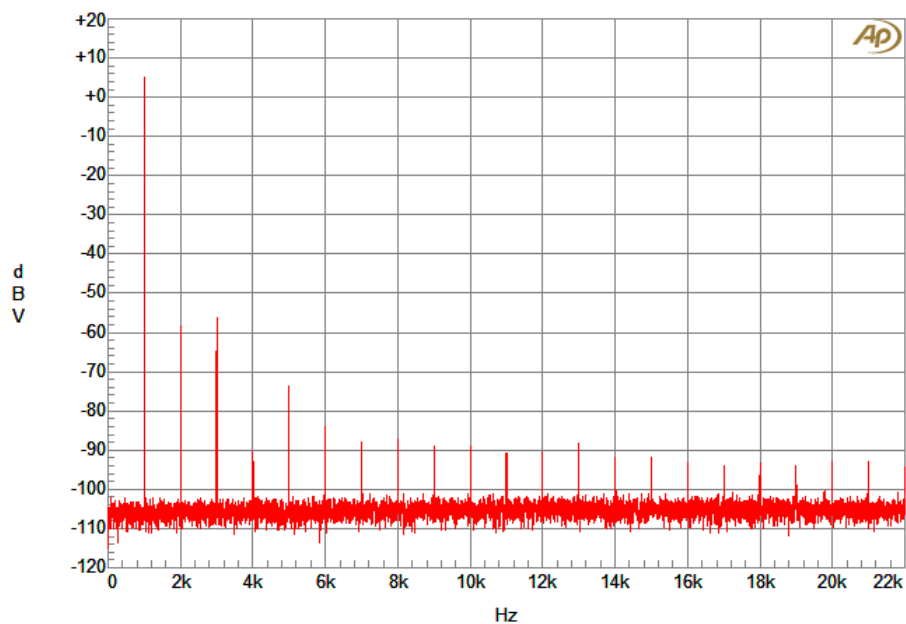


Figura A.4: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (MFs = 2.16MHz; Frequência: 1kHz; Amplitude 100%).

Anexo

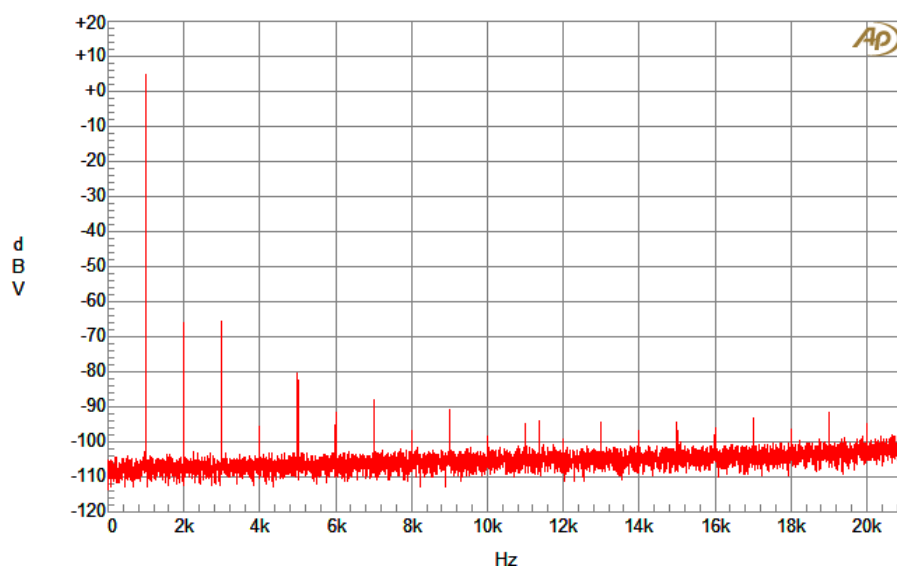


Figura A.5: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (MFs = 1.68MHz; Frequência: 1kHz; Amplitude 100%).

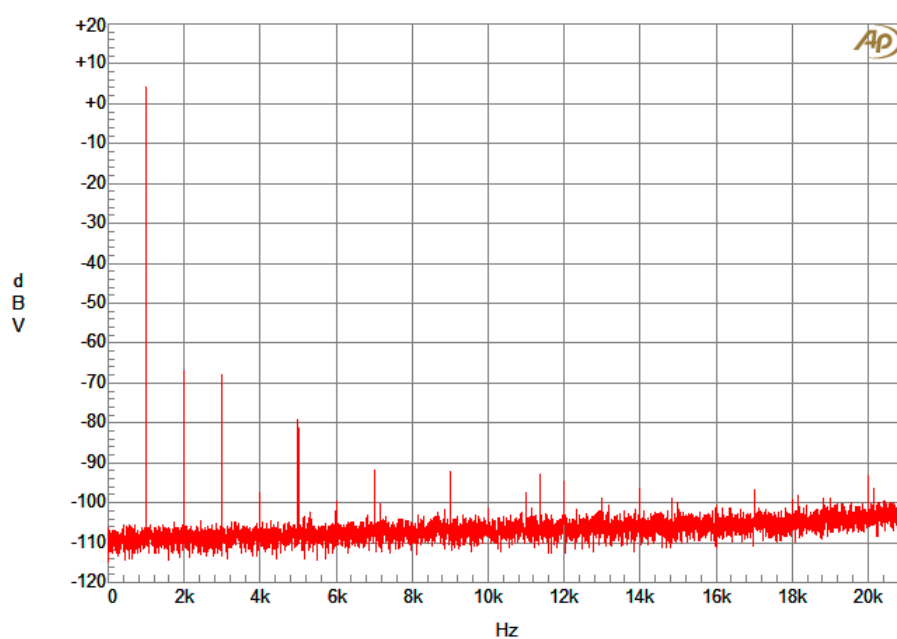


Figura A.6: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (MFs = 1.68MHz; Frequência: 1kHz; Amplitude 90%).

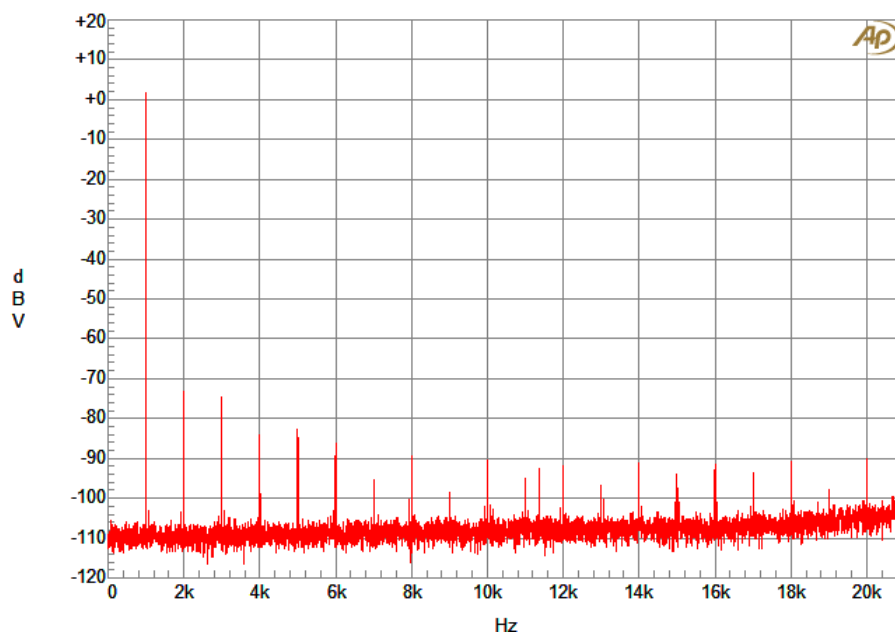


Figura A.7: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (MFs = 1.68MHz; Frequência: 1kHz; Amplitude 70%).

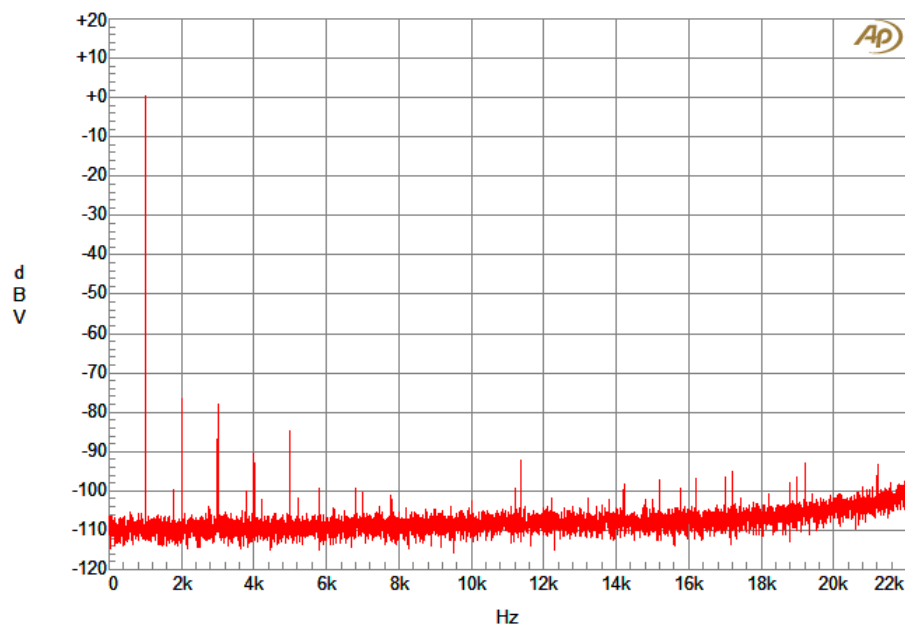


Figura A.8: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (MFs = 1.68MHz; Frequência: 1kHz; Amplitude 60%).

Anexo

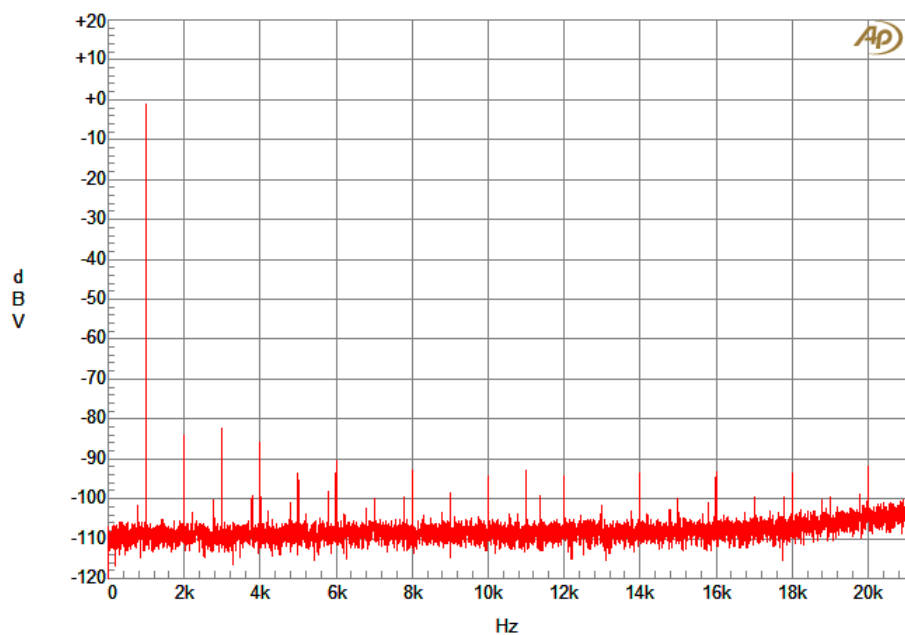


Figura A.9: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressoador (MFs = 1.68MHz; Frequência: 1kHz; Amplitude 50%).

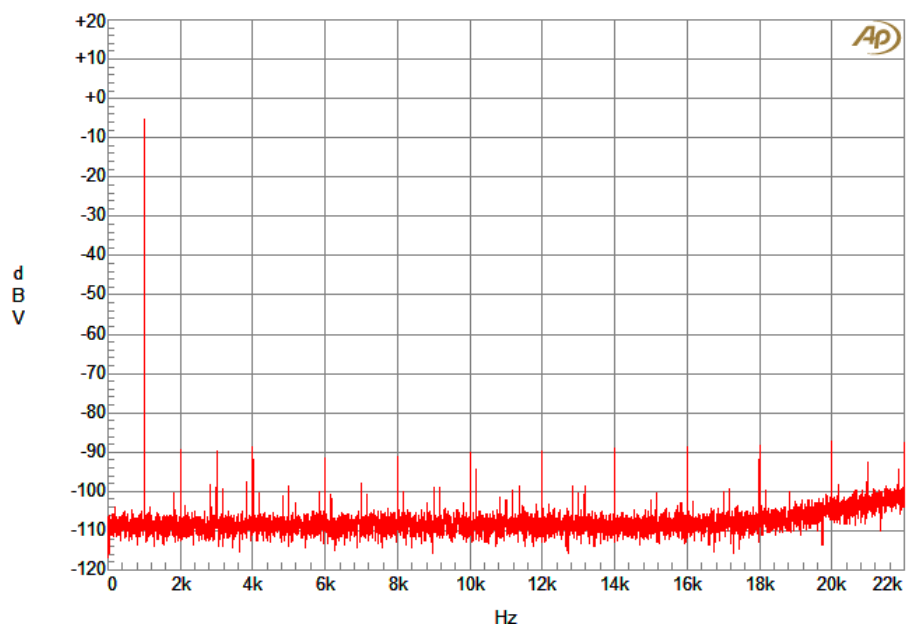


Figura A.10: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressoador (MFs = 1.68MHz; Frequência: 1kHz; Amplitude 31%).

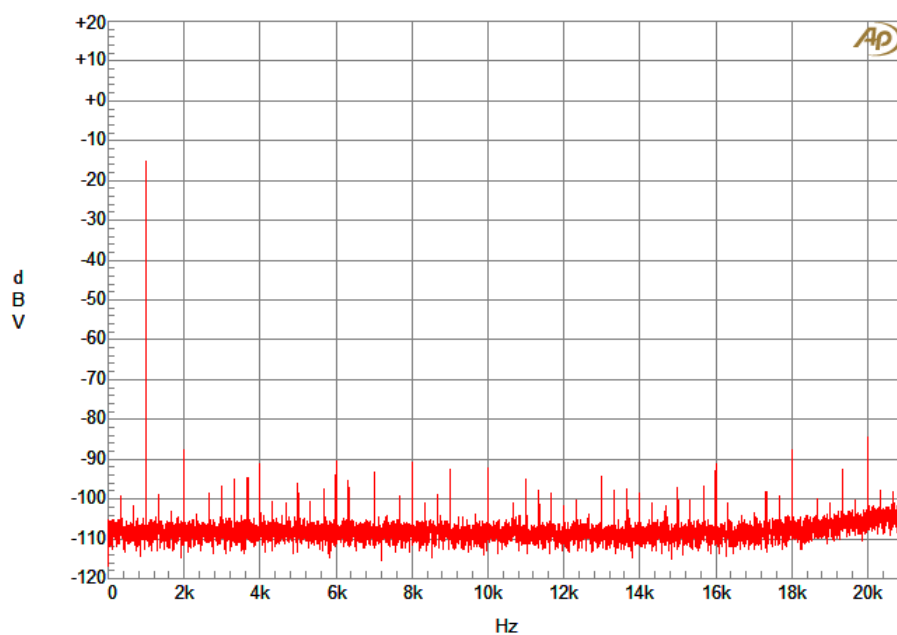


Figura A.11: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (MFs = 1.68MHz; Frequência: 1kHz; Amplitude 10%).

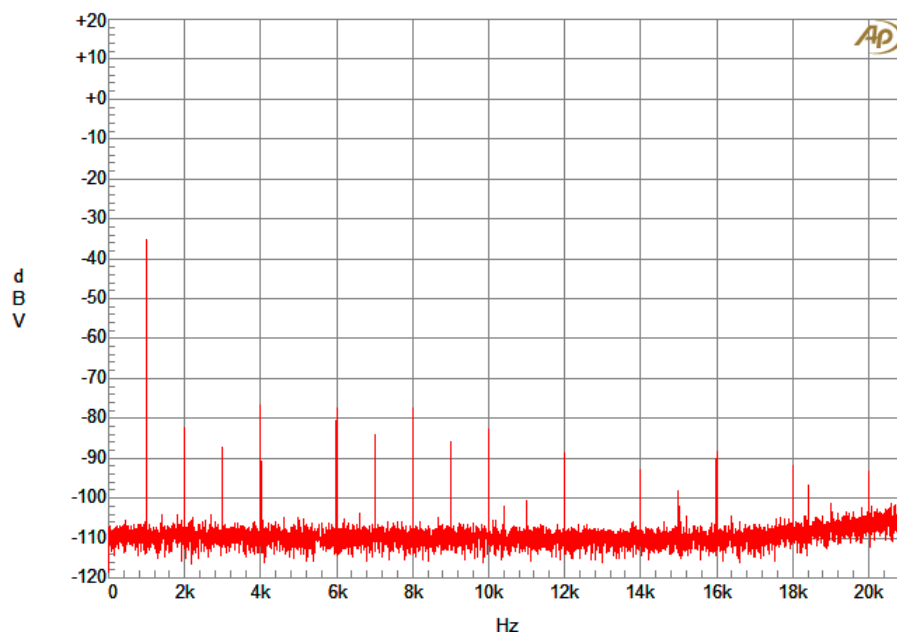


Figura A.12: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (Frequência: 1kHz; Amplitude 1%).

Anexo

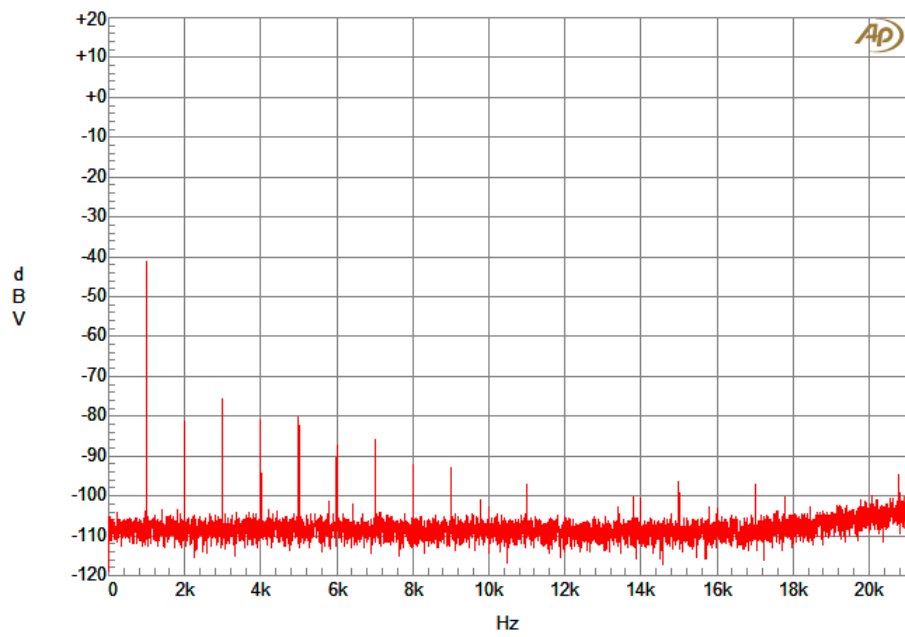


Figura A.13: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (Frequência: 1kHz; Amplitude 0.5%).

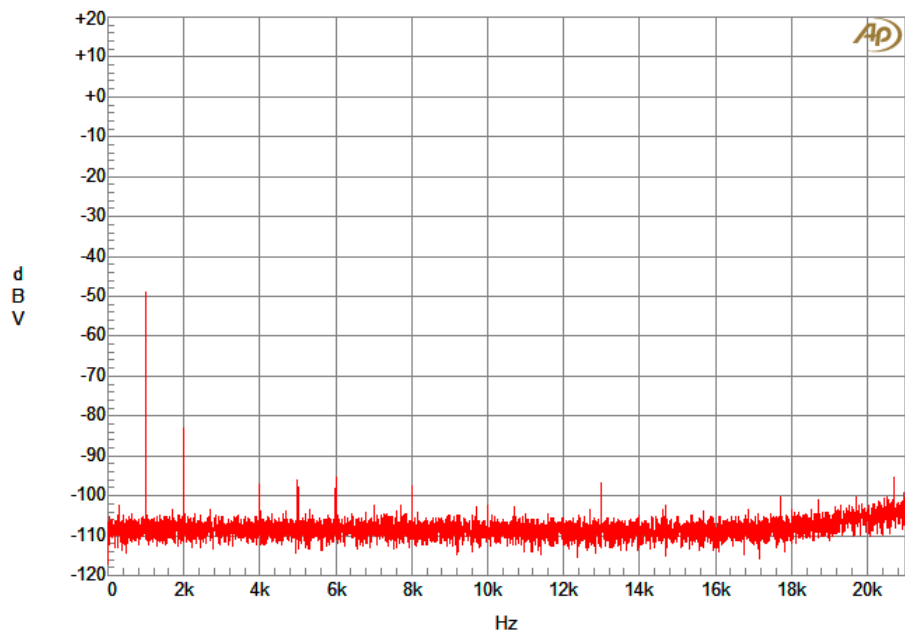


Figura A.14: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (Frequência: 1kHz; Amplitude 0.2%).

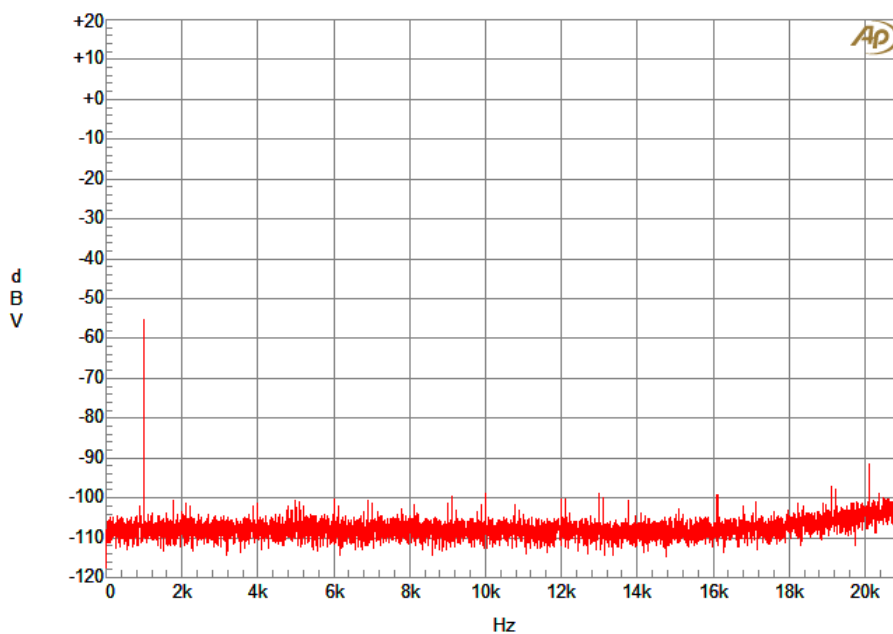


Figura A.15: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (Frequência: 1kHz; Amplitude 0.1%).

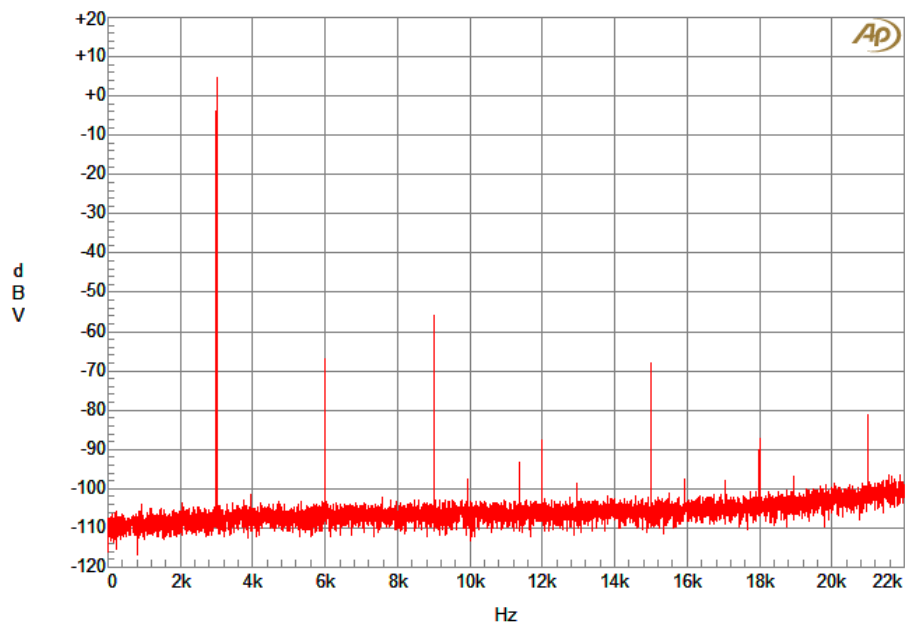


Figura A.16: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressonador (Frequência: 3kHz; Amplitude 100%).

Anexo

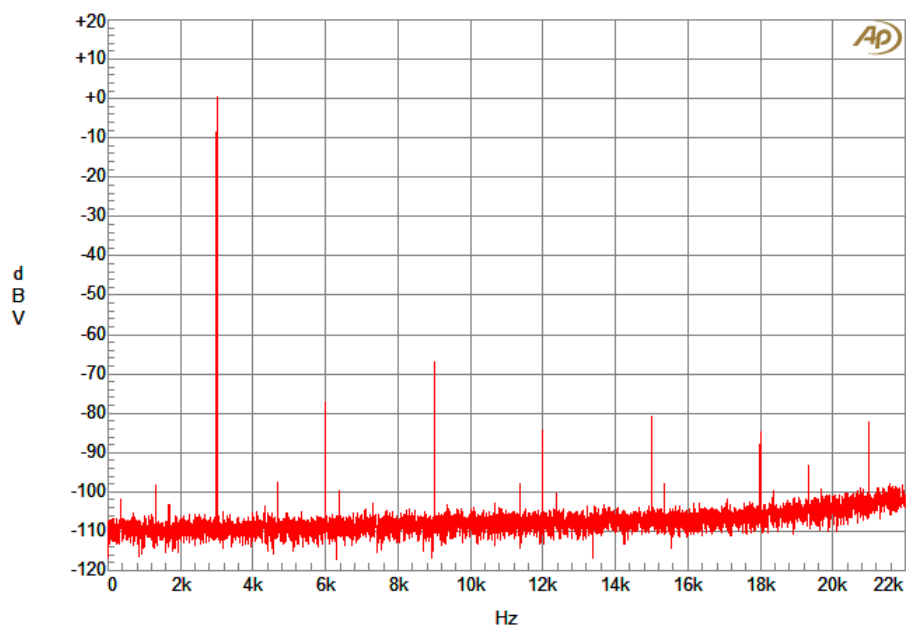


Figura A.17: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressoador (Frequência: 3kHz; Amplitude 60%).

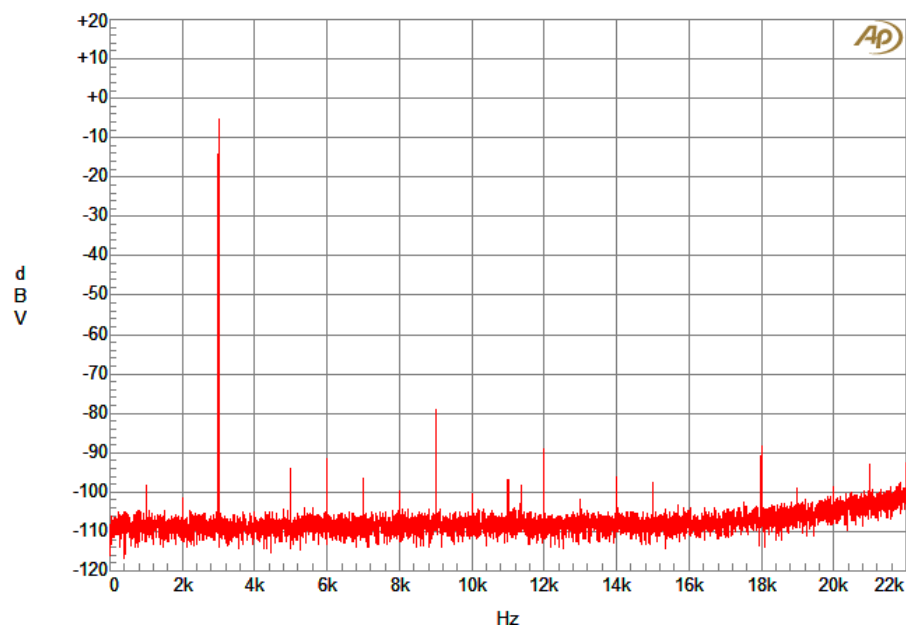


Figura A.18: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressoador (Frequência: 3kHz; Amplitude 31%).

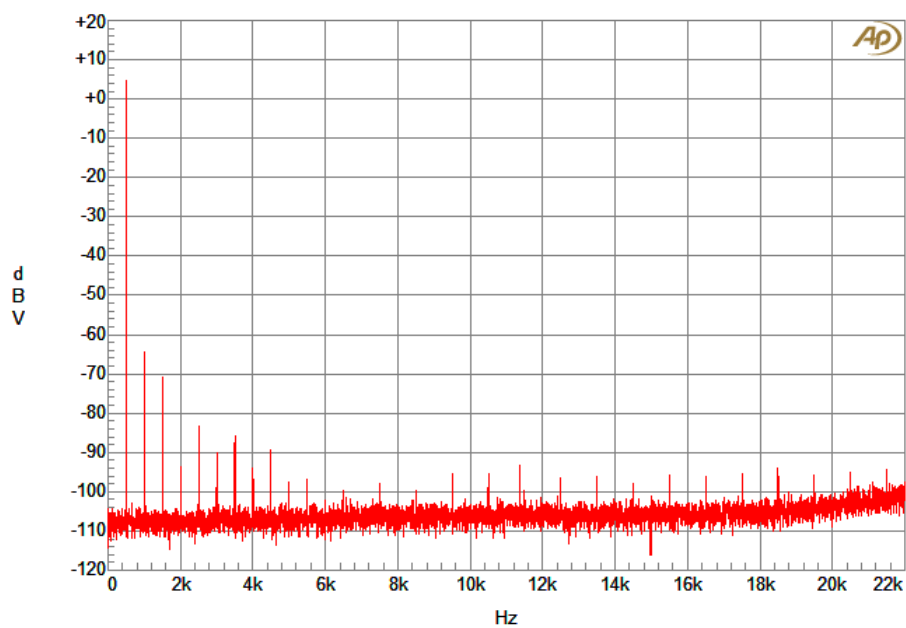


Figura A.19: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressoador (Frequência: 0.5kHz; Amplitude 100%).

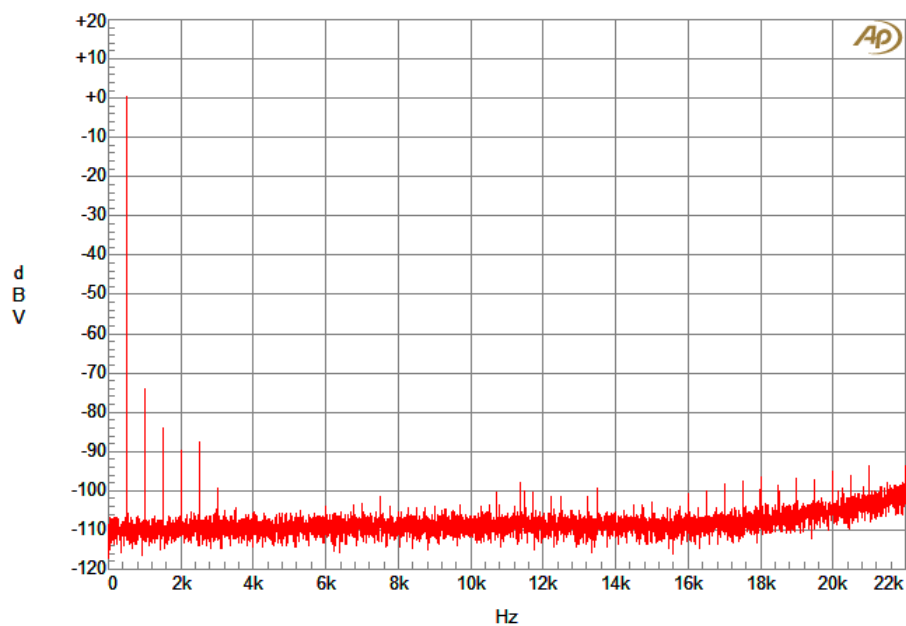


Figura A.20: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressoador (Frequência: 0.5kHz; Amplitude 60%).

Anexo

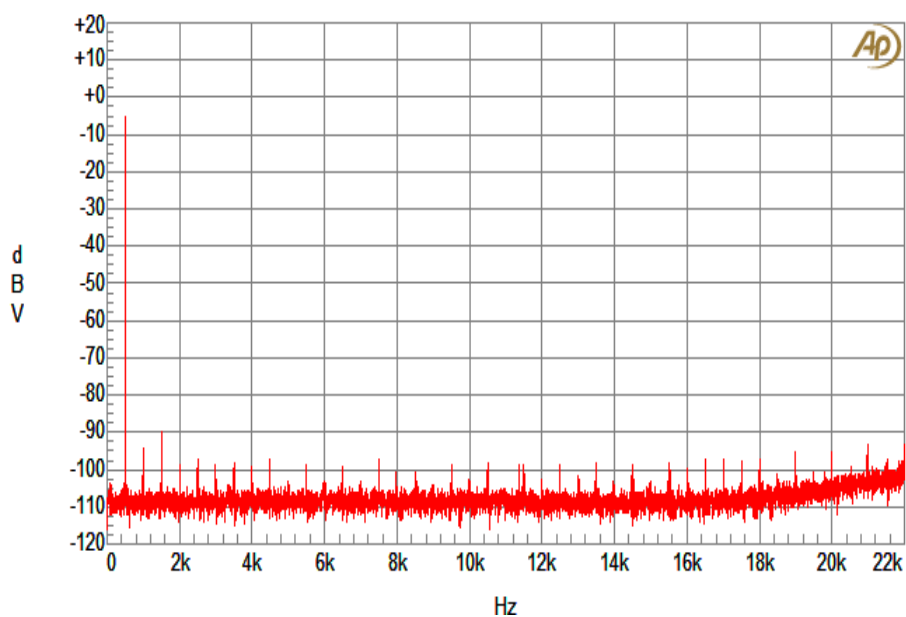


Figura A.21: Espectro de frequência na saída do Amplificador Digital com o modulador de 1 bit com um ressoador (Frequência: 0.5kHz; Amplitude 31%).

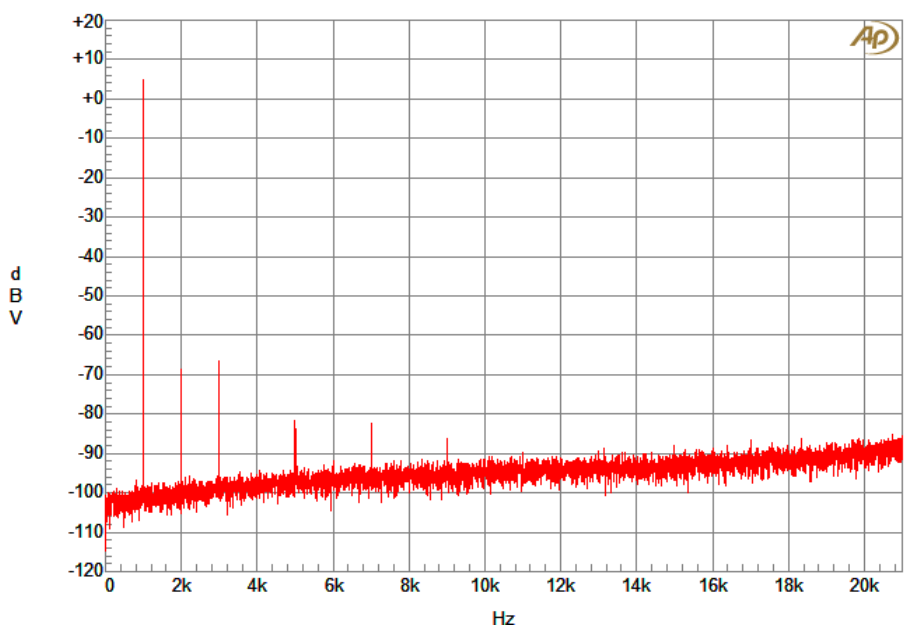


Figura A.22: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 1kHz; Amplitude 100%).

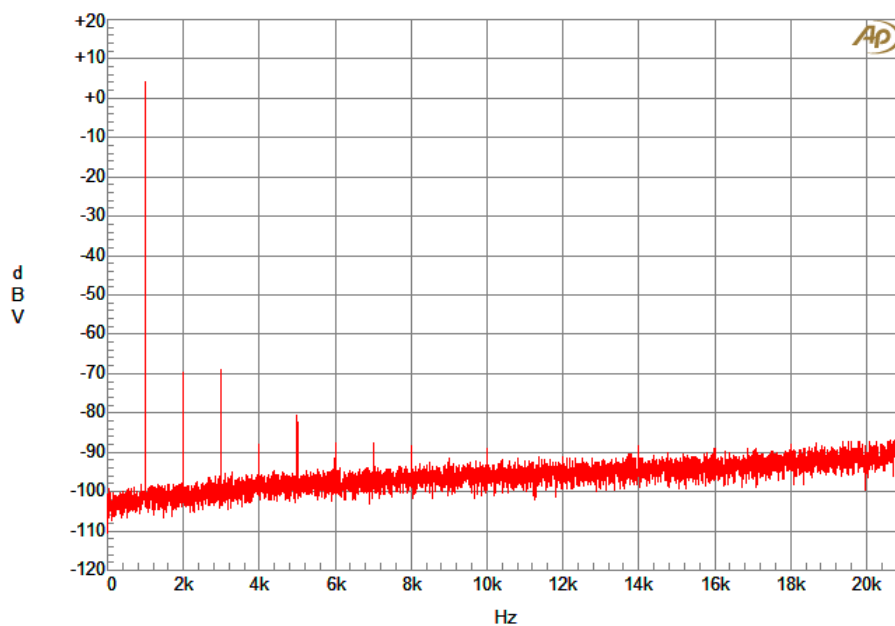


Figura A.23: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 1kHz; Amplitude 90%).

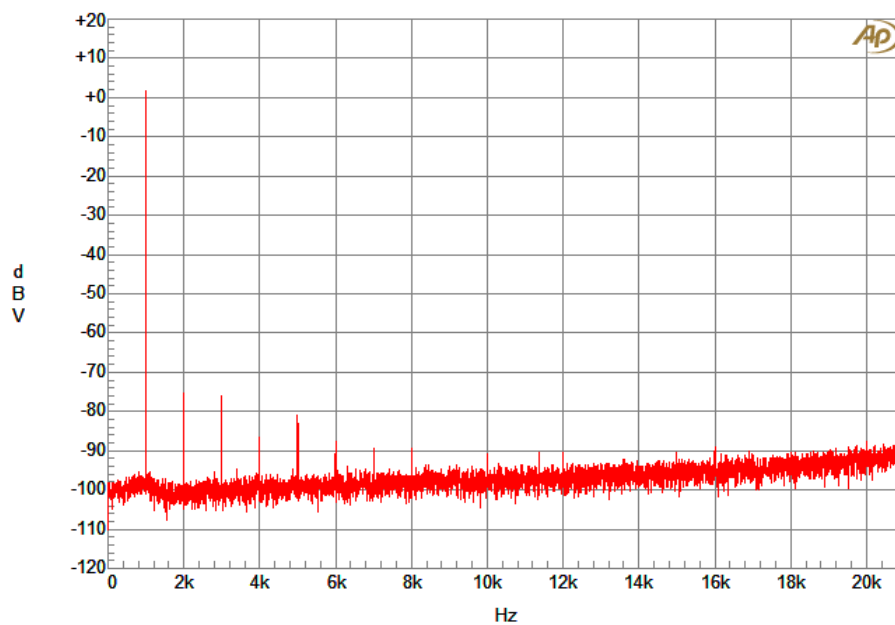


Figura A.24: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 1kHz; Amplitude 70%).

Anexo

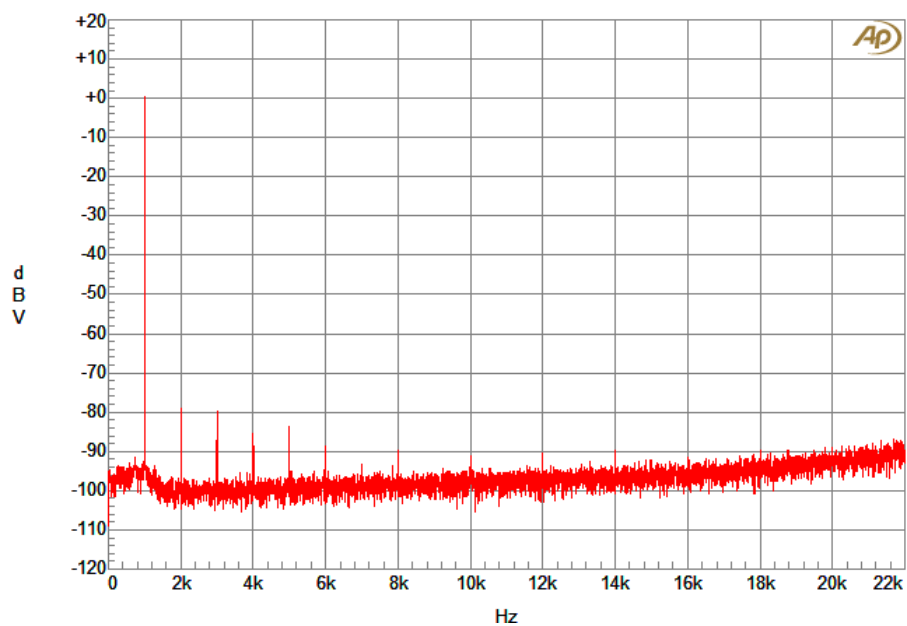


Figura A.25: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 1kHz; Amplitude 60%).

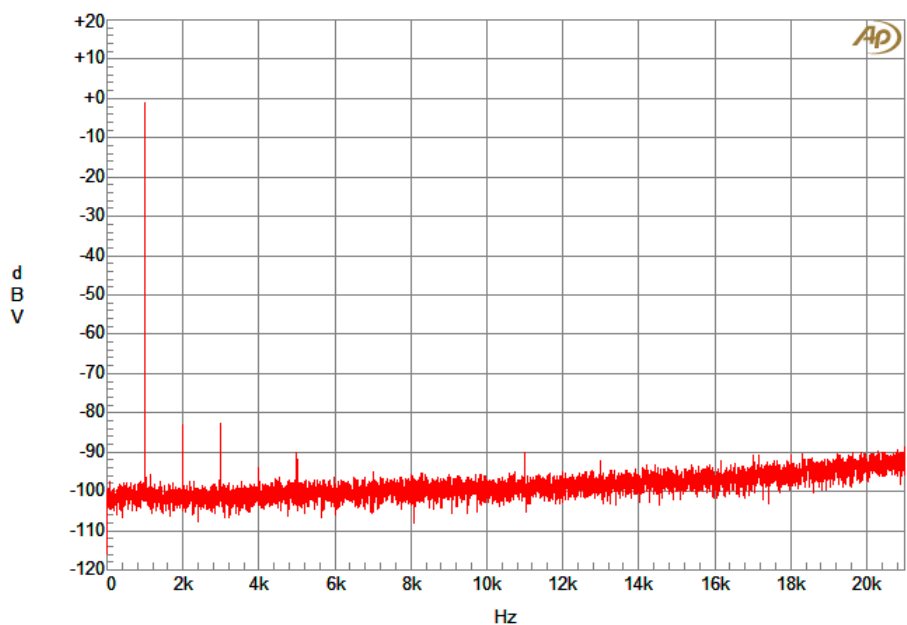


Figura A.26: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 1kHz; Amplitude 50%).

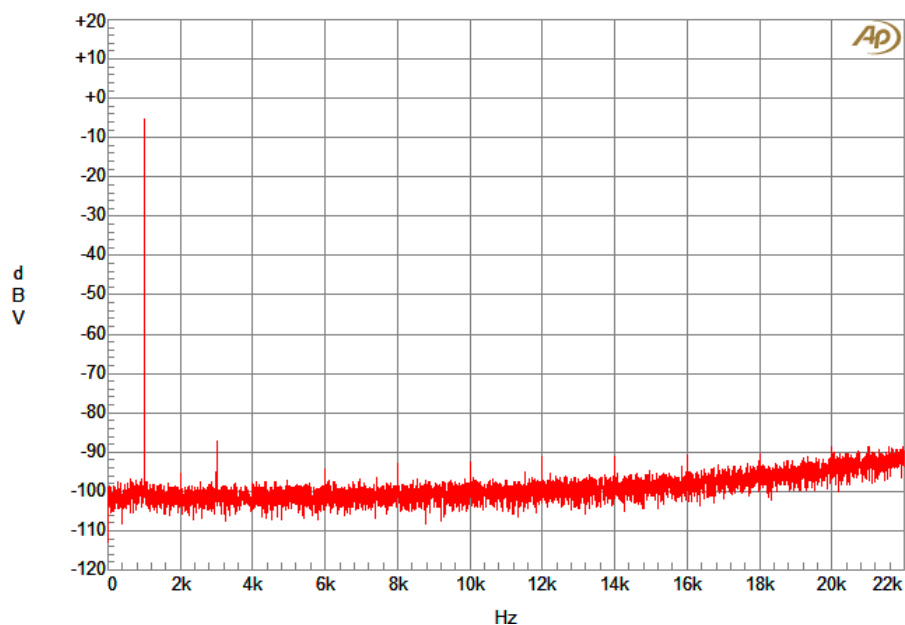


Figura A.27: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressonador (Frequência: 1kHz; Amplitude 31%).

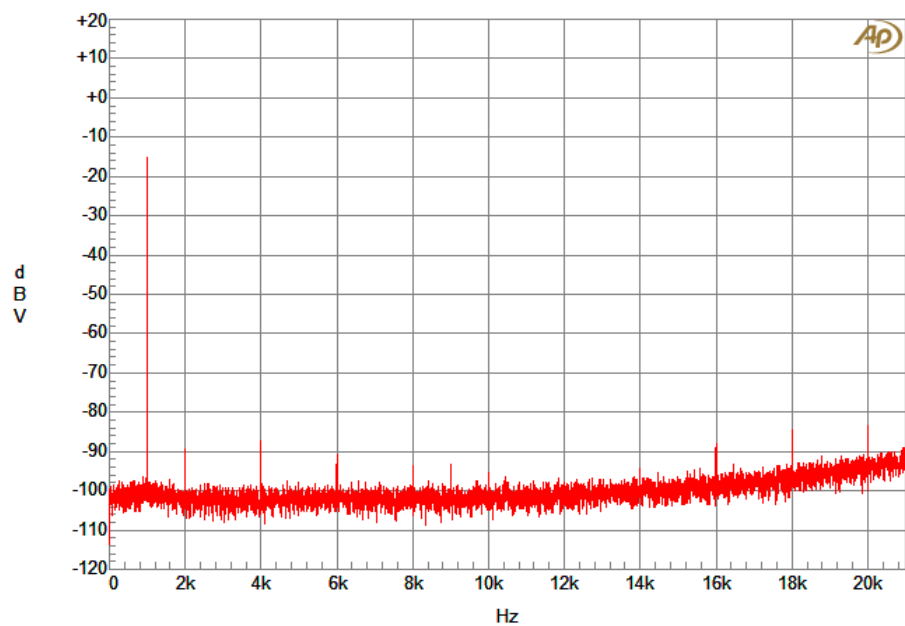


Figura A.28: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressonador (Frequência: 1kHz; Amplitude 10%).

Anexo

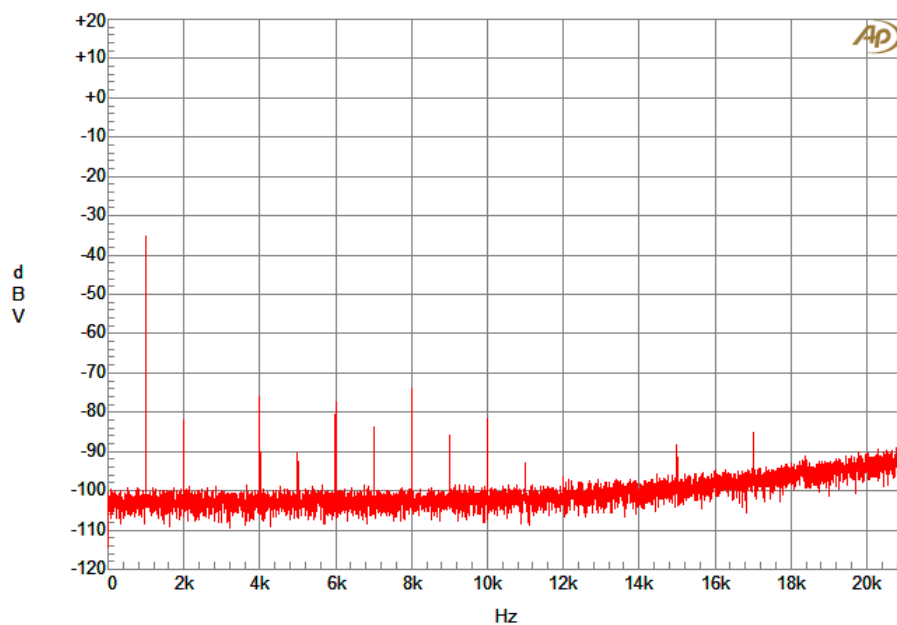


Figura A.29: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressonador (Frequência: 1kHz; Amplitude 1%).

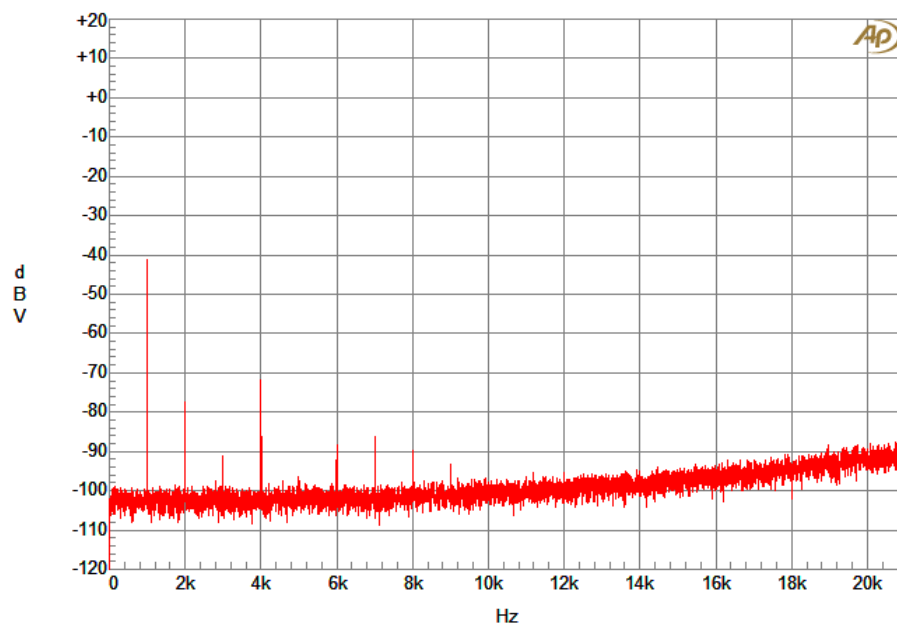


Figura A.30: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressonador (Frequência: 1kHz; Amplitude 0.5%).

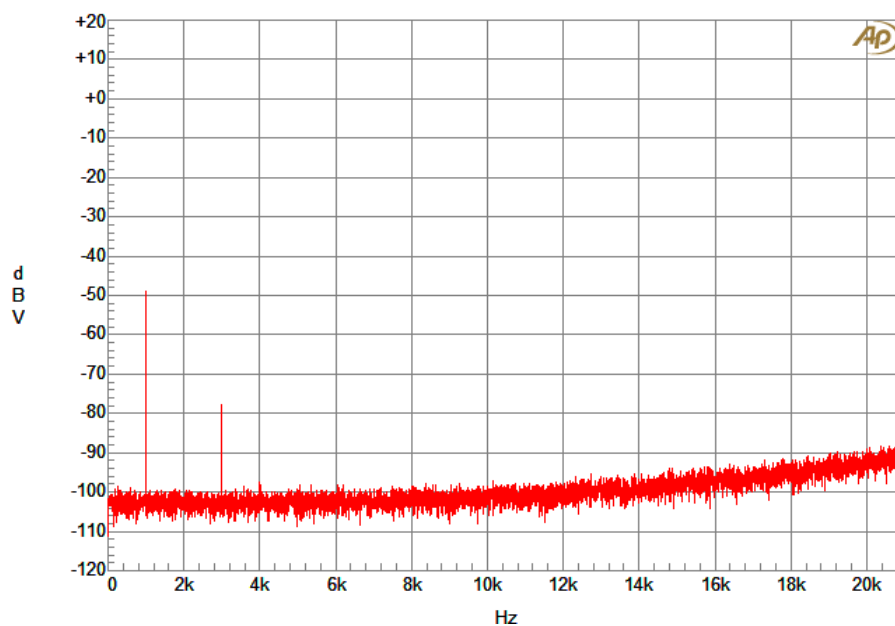


Figura A.31: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 1kHz; Amplitude 0.2%).

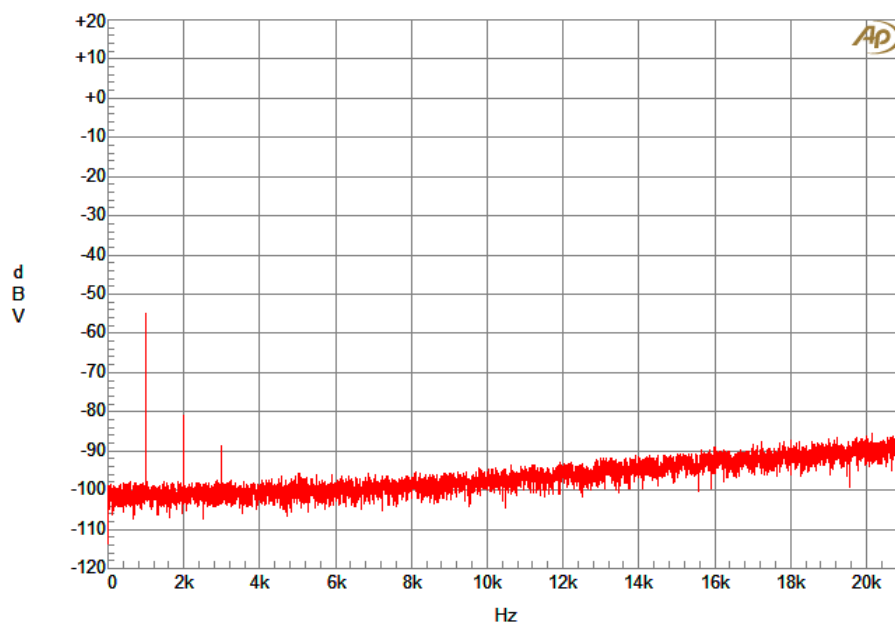


Figura A.32: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 1kHz; Amplitude 0.1%).

Anexo

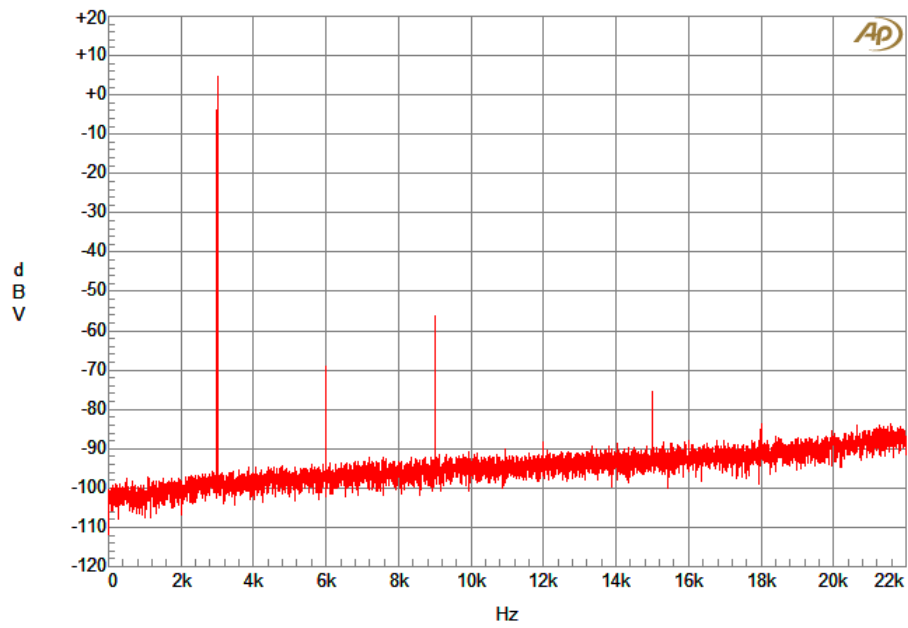


Figura A.33: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 3kHz; Amplitude 100%).

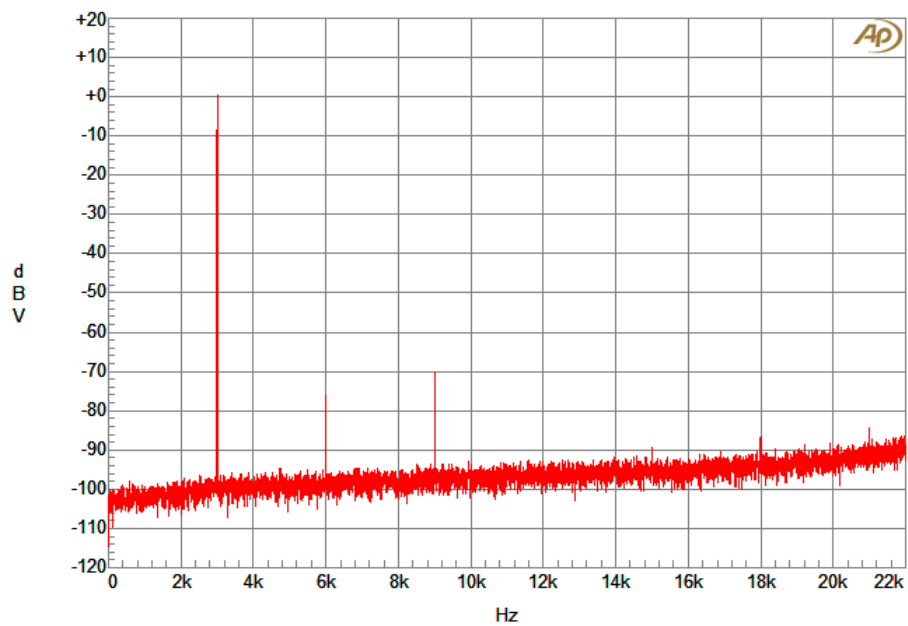


Figura A.34: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 3kHz; Amplitude 60%).

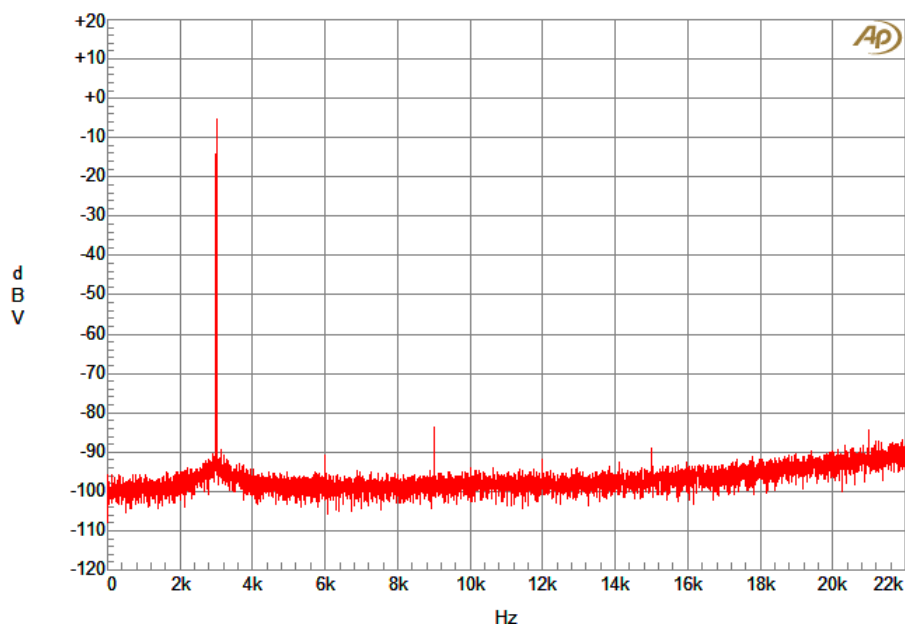


Figura A.35: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressonador (Frequência: 3kHz; Amplitude 31%).

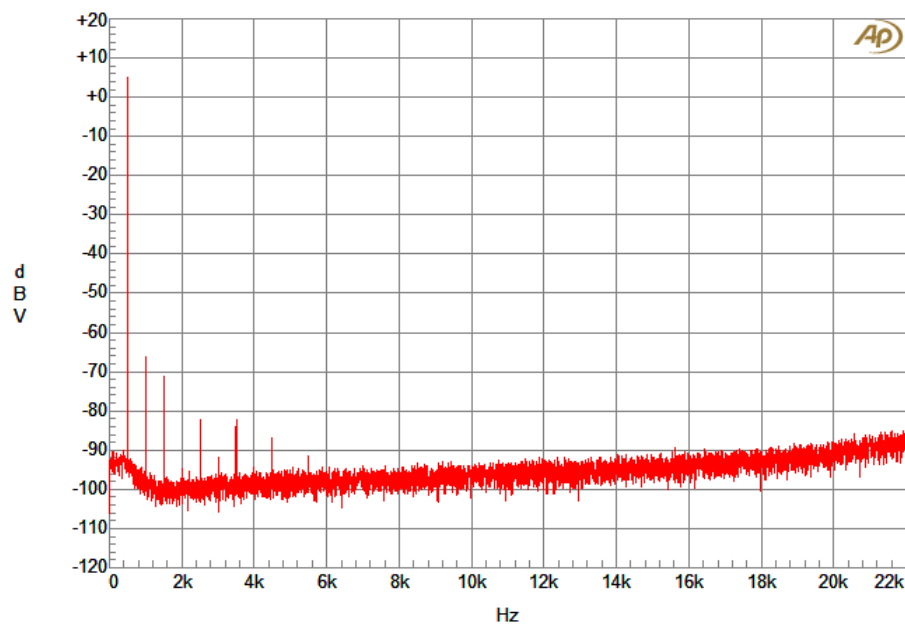


Figura A.36: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressonador (Frequência: 0.5kHz; Amplitude 100%).

Anexo

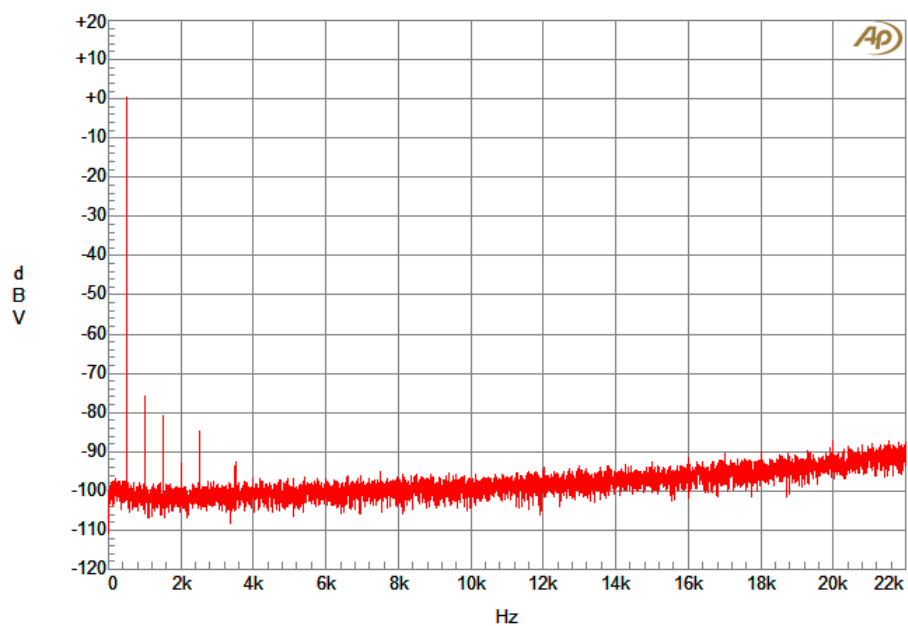


Figura A.37: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 0.5kHz; Amplitude 60%).

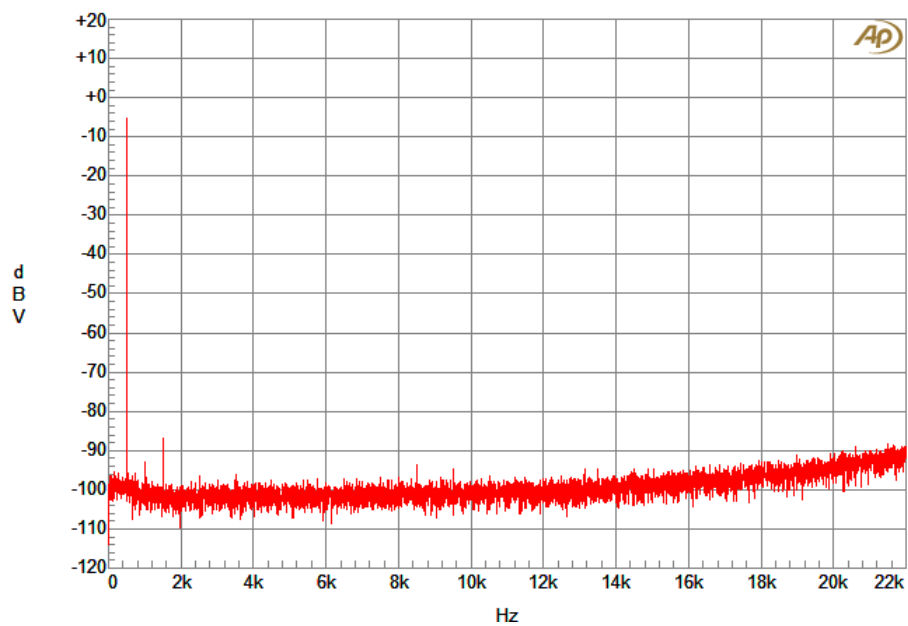


Figura A.38: Espectro de frequência na saída do Amplificador Digital com o modulador de 1+ bit com um ressoador (Frequência: 0.5kHz; Amplitude 31%).

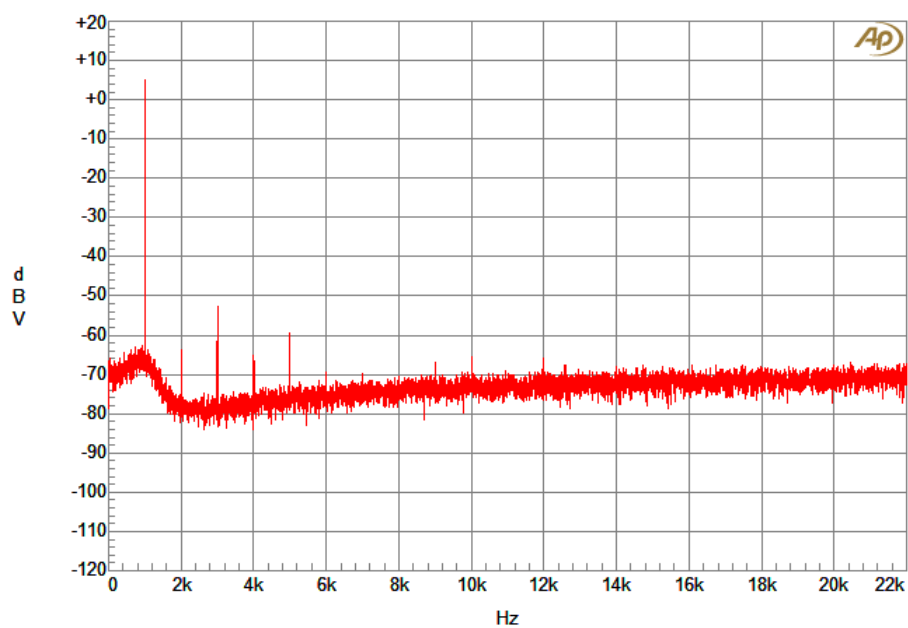


Figura A.39: Espectro de frequência na saída do Amplificador Digital com o modulador de 1.5 bit com um ressoador (Frequência: 1kHz; Amplitude 100%).

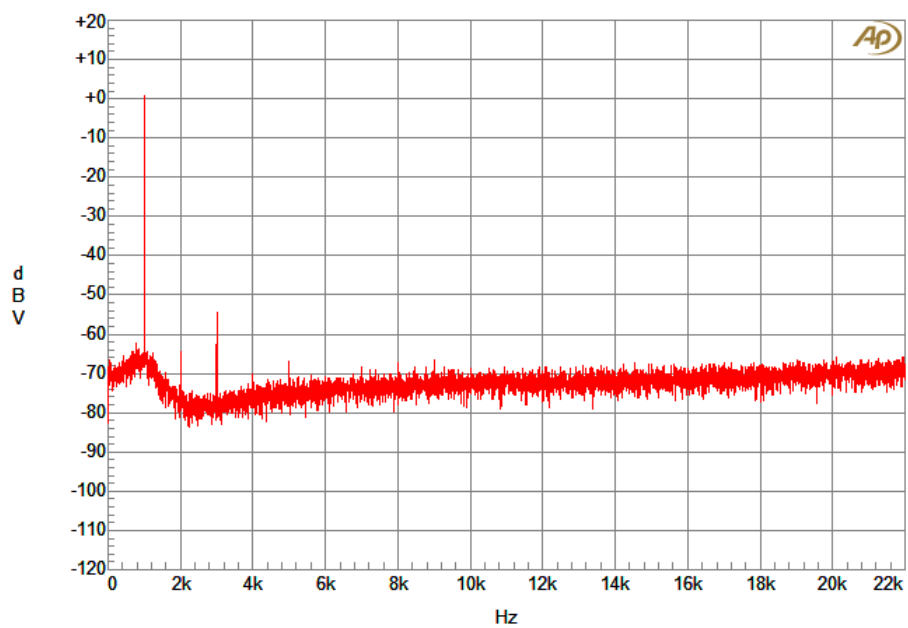


Figura A.40: Espectro de frequência na saída do Amplificador Digital com o modulador de 1.5 bit com um ressoador (Frequência: 1kHz; Amplitude 60%).

Anexo

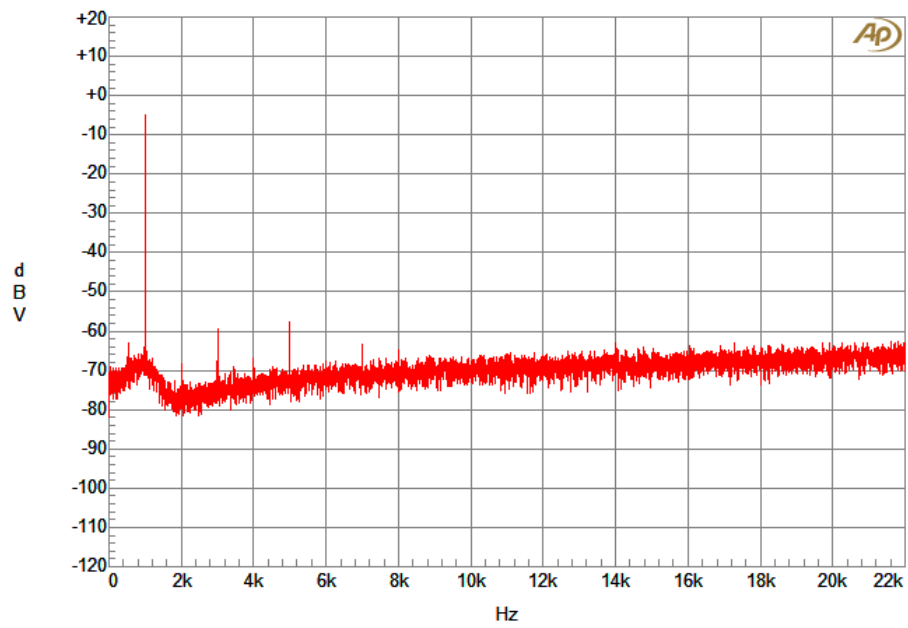


Figura A.41: Espectro de frequência na saída do Amplificador Digital com o modulador de 1.5 bit com um ressonador (Frequência: 1kHz; Amplitude 31%).

Esquema de 1 canal do Amplificador Digital

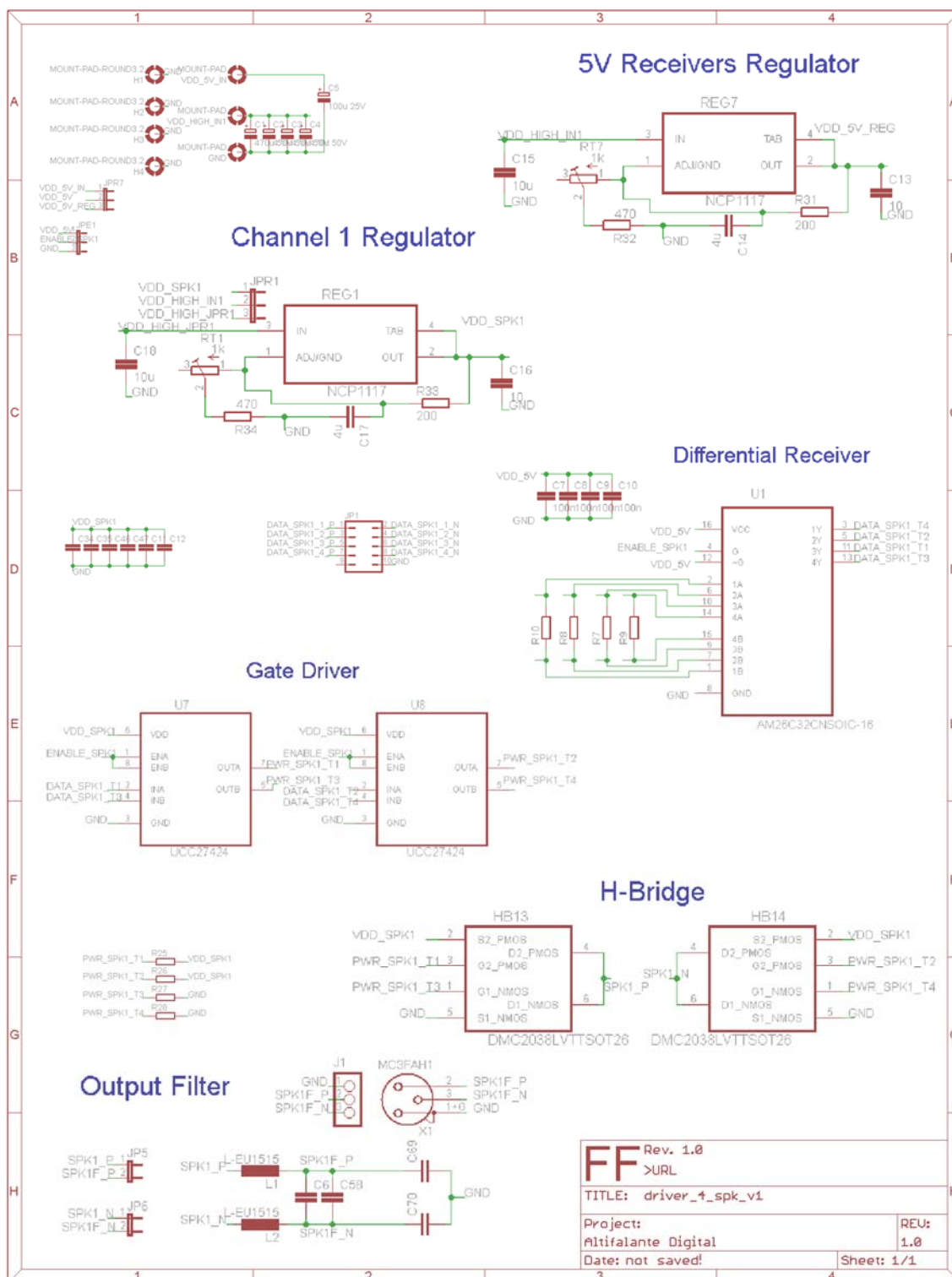


Figura A.42: Esquema de 1 canal do Amplificador Digital com a indicação de cada módulo.

Imagens adicionais da componente prática

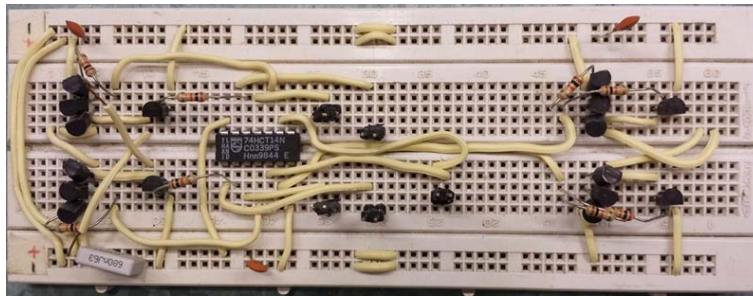


Figura A.43: Testes iniciais do amplificador digital numa bradboard.

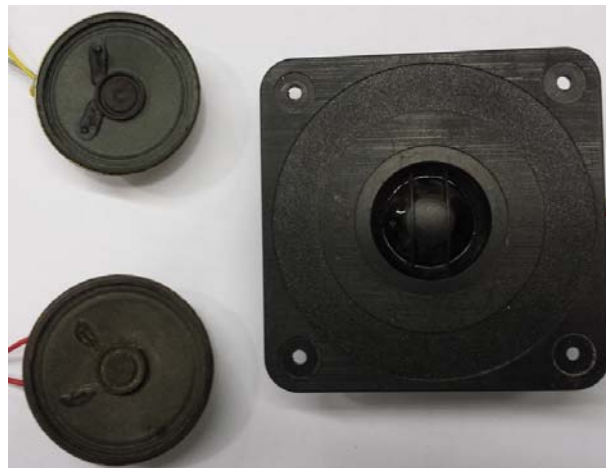


Figura A.44: Altifalantes utilizados nos testes iniciais.



Figura A.45: Construção da caixa acústica para os altifalantes.



Figura A.46: Bancada de trabalho (medições básicas).

Software utilizado para desenvolvimento:

Matlab

Microsoft Visual Studio 2010

Quartus II 11.1

Atmel Studio 6.1

Eagle

Publicações

Bastos, I., Querido, F., & Amoêdo, D. (2013). A 1.2 V Low-Noise-Amplifier with Double Feedback for High Gain and Low Noise Figure. *Technological Innovation for the Internet of Things*, 573–581.

Querido, F., & Oliveira, J. (2014). Touch Interactive Matrix LED Display for the Collective Awareness Ecosystem. *Technological Innovation for Collective Awareness Systems*, 610–617.

De Melo, J. L. A., Querido, F., Paulino, N., & Goes, J. (2014). A 0.4-V 410-nW opampless continuous-time $\Sigma\Delta$ modulator for biomedical applications. In *2014 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 1340–1343). IEEE. doi:10.1109/ISCAS.2014.6865391

Bibliografia

- Atmel: Documents ATxmega256A3U*. (2014). Retrieved September 05, 2014, from <http://www.atmel.com/devices/ATXMEGA256A3U.aspx?tab=documents>
- Casier, H., Steyaert, M., & Roermund, A. Van. (2011). Analog Circuit Design: Robust Design, Sigma Delta Converters, RFID.
- Equal loudness contours and audiometry*. (2014). Retrieved September 05, 2014, from <http://newt.phys.unsw.edu.au/jw/hearing.html>
- Fundamentals of USB Audio | EDN*. (2012). Retrieved September 12, 2014, from <http://www.edn.com/design/consumer/4376143/Fundamentals-of-USB-Audio>
- ISO 226 Equal-Loudness-Level Contour Signal - File Exchange - MATLAB Central*. (2005). Retrieved September 05, 2014, from <http://www.mathworks.com/matlabcentral/fileexchange/7028-iso-226-equal-loudness-level-contour-signal>
- Kulka, Z., & Woszczek, P. (2008). Implementation of digital sigma-delta modulators for high-resolution audio digital-to-analog converters based on field programmable gate array. *Archives of Acoustics*.
- Kune, D. F., Backes, J., Clark, S. S., Kramer, D., Reynolds, M., Fu, K., ... Xu, W. (2013). Ghost Talk: Mitigating EMI Signal Injection Attacks against Analog Sensors. In *2013 IEEE Symposium on Security and Privacy* (pp. 145–159). IEEE. doi:10.1109/SP.2013.20
- McMinn, T. (2013). “A-Weighting”: Is it the metric you think it is? *Acoustics.asn.au*.
- Moore, G. E. (1998). Cramming More Components Onto Integrated Circuits. *Proceedings of the IEEE*, 86(1), 82–85. doi:10.1109/JPROC.1998.658762

Bibliografia

- Neumann TLM 49*. (2014). Retrieved September 05, 2014, from https://www.neumann.com/?lang=en&id=current_microphones&cid=tlm49_manuals
- No taste for high-quality audio | Technology | The Guardian*. (2007). Retrieved August 26, 2014, from <http://www.theguardian.com/technology/2007/aug/02/guardianweeklytechnologys>ection.digitalmusic
- Querido, F., & Oliveira, J. (2014). Touch Interactive Matrix LED Display for the Collective Awareness Ecosystem. *Technological Innovation for Collective Awareness Systems*, 610–617.
- Schreier, R., & Temes, G. (2005). *Understanding delta-sigma data converters*.
- Silva, J., Moon, U., Steensgaard, J., & Temes, G. C. (2001). Wideband low-distortion delta-sigma ADC topology. *Electronics Letters*, 37(12), 737. doi:10.1049/el:20010542
- Super Audio CD DSD Decoder*. (2014). Retrieved August 19, 2014, from http://www.sony.net/Products/SC-HP/cx_news/vol17/pdf/tw_saud.pdf
- UAD Apollo*. (2014). Retrieved September 05, 2014, from <http://www.uaudio.com/interfaces/apollo.html>